

2015•2016
FACULTEIT INDUSTRIËLE INGENIEURSWETENSCHAPPEN
master in de industriële wetenschappen: elektronica-ICT

Masterproef

Een line driver met dubbele schrijfpuls voor flexibele AMOLED-beeldschermen

Promotor :
Prof. dr. ir. Jan GENOE

Promotor :
ir. FLORIAN DE ROOSE

Wesley Van Boxel

Scriptie ingediend tot het behalen van de graad van master in de industriële wetenschappen: elektronica-ICT

Gezamenlijke opleiding Universiteit Hasselt en KU Leuven

2015•2016
Faculteit Industriële
ingenieurswetenschappen
master in de industriële wetenschappen: elektronica-ICT

Masterproef

Een line driver met dubbele schrijfpuls voor flexibele
AMOLED-beeldschermen

Promotor :
Prof. dr. ir. Jan GENOE

Promotor :
ir. FLORIAN DE ROOSE

Wesley Van Boxel

*Scriptie ingediend tot het behalen van de graad van master in de industriële
wetenschappen: elektronica-ICT*

Voorwoord

Tijdens deze masterproef heb ik kunnen rekenen op de steun van vele personen. Eerst en vooral wil ik imec bedanken voor de kans die ze mij gegeven hebben om mijn masterproef uit te voeren bij hen. In het bijzonder wil ik mijn interne promotor Jan Genoe en mijn dagelijkse begeleider Florian De Roose bedanken. Zij stonden altijd klaar om mij te helpen als er een probleem was of als ik vragen had.

Graag wil ik ook alle docenten van de opleiding bedanken. Dankzij hen had ik voldoende kennis en inzicht om deze masterproef tot een goed einde te brengen. Hierbij wil ik Wim Deferme extra bedanken voor de feedback op de verschillende onderdelen van de masterproef.

Tot slot wil ik mijn familie en vrienden bedanken voor de steun en aanmoedigingen die ze mij gegeven hebben tijdens de afgelopen maanden.

Wesley Van Boxel

Januari 2016

Inhoudsopgave

Voorwoord	v
Inhoudsopgave	vii
Lijst van tabellen	ix
Lijst van figuren	xi
Gebruikte afkortingen	xiii
Abstract	xv
Summary	xvii
1 Onderzoeksopzet	1
1.1 Situering	1
1.2 Probleemstelling	2
1.3 Doelstelling	2
1.4 Materiaal en methode	2
2 Literatuur	5
2.1 AMOLED-beeldscherm	5
2.1.1 Data driver	5
2.1.2 Line driver	5
2.2 a-IGZO-technologie	6
2.2.1 ESL technologie	6
2.2.2 SA technologie	7
2.3 Digitale PWM-aansturing voor beeldschermen	9
3 Ontwerp line driver	13
3.1 Basisontwerp	13
3.1.1 Invertor	14
3.1.2 Bootstrap stage	16
3.1.3 Specificaties aansturing	19
3.1.4 Simulaties	19
3.2 Nieuw ontwerp voor dubbele schrijfpuls	21
3.2.1 Het idee	21
3.2.2 Invertor	23
3.2.3 Schuifregister	23
3.2.4 Specificaties	25
3.2.5 Simulaties	26
3.2.6 Lay-out	28
4 Invloed van het pixel ontwerp	31

4.1	Berekening ESL technologie	31
4.2	Berekening SA technologie	34
5	Resultaten	37
5.1	ESL technologie versus SA technologie	37
5.1.1	ESL technologie	37
5.1.2	SA technologie	40
5.2	Verschillende waarden voor V_t	45
5.3	Verschillende waarden voor L	47
6	Conclusie en discussie.....	51
6.1	Werking	51
6.2	Refresh rate.....	51
6.3	Vermogenverbruik.....	51
6.4	Lay-out.....	51
	Bibliografie.....	53
	Lijst van symbolen	A

Lijst van tabellen

Tabel 2.1: Verdeling van 8-bits bij digitale PWM-aansturing	10
Tabel 3.1: Specificaties van de groottes van de transistoren in de invertor bij het basisontwerp	15
Tabel 3.2: Specificaties van de groottes van de transistoren in de bootstrap stage bij het basisontwerp.....	18
Tabel 3.3: Specificaties voor de aansturing van het basisontwerp.....	19
Tabel 3.4: Twee ingangspulsen insturen	22
Tabel 3.5: Specificaties voor het aansturen van het nieuwe ontwerp	25
Tabel 3.6: Specificaties van de groottes van de transistoren in de invertor bij het nieuwe ontwerp.....	26
Tabel 3.7: Specificaties van de groottes van de transistoren in de bootstrap stage bij het nieuwe ontwerp	26
Tabel 4.1: Groottes van de parasitaire capaciteiten in de ESL technologie	32
Tabel 4.2: Groottes van de parasitaire capaciteiten in de ESL technologie na optimalisatie van de pixel	33
Tabel 4.3: Groottes van de parasitaire capaciteiten in de SA technologie	35
Tabel 4.4: Groottes van de parasitaire capaciteiten in de SA technologie na optimalisatie van de pixel	36
Tabel 5.1: Totaal vermogenverbruik per lijn in de ESL technologie	39
Tabel 5.2: Maximale frequenties in de ESL technologie en de SA technologie.....	42
Tabel 5.3: Totaal vermogenverbruik per lijn in de SA technologie	42
Tabel 5.4: Maximale frequenties bij een optimale pixel en optimale bootstrap	44
Tabel 5.5: Totaal vermogenverbruik per lijn in de SA technologie na optimalisatie bootstrap stage.....	45
Tabel 5.6: Lastcapaciteit bij een bepaalde waarde voor L	47
Tabel 5.7: Verhouding in vermogenverbruik tussen het schuifregister en de bootstrap stage.	49

Lijst van figuren

Figuur 1.1: Logo imec [1]	1
Figuur 1.2: Logo Holst Centre [4].....	1
Figuur 2.1: Opbouw AMOLED-beeldscherm (a) AMOLED pixel, (b) Schema AMOLED-beeldscherm.....	5
Figuur 2.2: Tijdsdiagram ideale line driver.....	6
Figuur 2.3: Dwarsdoorsnede transistor in de ESL technologie.....	6
Figuur 2.4: Afzetten en vormen van het patroon van het a-IGZO	7
Figuur 2.5: Afzetten en vormen van het patroon van de gate isolator en de gate	8
Figuur 2.6: Afzetten van Si ₃ N ₄ en het etsen van de twee via's.....	8
Figuur 2.7: Afzetten en vormen van het patroon van de source en drain.....	9
Figuur 2.8: Schema dubbele schrijfpuls	10
Figuur 2.9: Tijdsdiagram dubbele schrijfpuls	10
Figuur 2.10: Verdeling van een frame met twee schrijfpulsen	11
Figuur 3.1: Basisontwerp line driver.....	13
Figuur 3.2: Standaard CMOS-invertor (a) Schema, (b) Karakteristiek [18].....	14
Figuur 3.3: Invertor waarbij pMOS vervangen is door nMOS (a) Schema, (b) Karakteristiek [18].....	14
Figuur 3.4: Invertor met backgate PUN aan OUT en backgate PDN aan -V _{DD} (a) Schema, (b) Karakteristiek [18].....	15
Figuur 3.5: Invertor met pseudo-CMOS logica (a) Schema, (b) Karakteristiek [18]	15
Figuur 3.6: Bootstrap stage	16
Figuur 3.7: Opladefase (a) Schema, (b) Tijdsdiagram	17
Figuur 3.8: Actieve fase (a) Schema, (b) Tijdsdiagram	17
Figuur 3.9: Ontladefase (a) Schema, (b) Tijdsdiagram	18
Figuur 3.10: Simulatie basisontwerp.....	20
Figuur 3.11: Simulatie basisontwerp met twee ingangspulsen	21
Figuur 3.12: Principe van twee ingangspulsen insturen.....	22
Figuur 3.13: Schema nieuw ontwerp invertor	23
Figuur 3.14: Schema blok A	23
Figuur 3.15: Schema blok B.....	24
Figuur 3.16: Schema blok C.....	24
Figuur 3.17: Schema nieuw ontwerp.....	24
Figuur 3.18: Tijdsdiagram met twee uitgangen per blok	25
Figuur 3.19: Simulatie één blok tussen twee ingangspulsen.....	26
Figuur 3.20: Simulatie twee blokken tussen twee ingangspulsen	27
Figuur 3.21: Simulatie vier blokken tussen twee ingangspulsen	28
Figuur 3.22: Lay-out schuifregister (blok A)	29
Figuur 3.23: Lay-out bootstrap stage waarbij OUT(n) afhankelijk is van CLKB	30
Figuur 4.1: Typische lay-out van een pixel in de ESL technologie	31
Figuur 4.2: Lay-out van een geoptimaliseerde pixel in de ESL technologie	33
Figuur 4.3: Typische lay-out van een pixel in de SA technologie	34
Figuur 4.4: Lay-out van een geoptimaliseerde pixel in de SA technologie	36
Figuur 5.1: Shmoo plot ESL technologie, C _{load} = 422.7 pF	38
Figuur 5.2: Shmoo plot ESL technologie, C _{load} = 176.8 pF	39
Figuur 5.3: Procentueel vermogenverbruik in de ESL technologie	40

Figuur 5.4: Shmoo plot SA technologie, $C_{load} = 393.3 \text{ pF}$	41
Figuur 5.5: Shmoo plot SA technologie, $C_{load} = 94.3 \text{ pF}$	42
Figuur 5.6: Procentueel vermogenverbruik in de SA technologie	43
Figuur 5.7: Shmoo plot SA technologie, $C_{load} = 94.3 \text{ pF}$, optimalisatie bootstrap.....	44
Figuur 5.8: Procentueel vermogenverbruik in de SA technologie na optimalisatie bootstrap stage.....	45
Figuur 5.9: Maximale frequenties bij verschillende waardes voor V_t	46
Figuur 5.10: Totaal vermogenverbruik per lijn bij verschillende waardes voor V_t	47
Figuur 5.11: Maximale frequenties bij verschillende waardes voor L	48
Figuur 5.12: Totaal vermogenverbruik per lijn bij verschillende waardes voor L	48
Figuur 6.1: Geoptimaliseerde lay-out (a) Schuifregister, (b) Bootstrap stage	52

Gebruikte afkortingen

a-IGZO	Amorf Indium-Gallium-ZinkOxide
a-Si	Amorf Silicium
AMOLED	Active-Matrix Organic Light-Emitting Diode
CMOS	Complementary Metal-Oxide-Semiconductor
DAC	Digital-to-Analog Converter
ESL	Etch-Stop Layer
FHD	Full High-Definition
GDS	Graphic Data System
LAE	Large Area Electronics
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
OLED	Organic Light-Emitting Diode
PDN	Pull-Down Network
PUN	Pull-Up Network
PWM	Pulse-Width Modulation
QVGA	Quarter-Video-Graphics-Array
SA	Self-Aligned
SiO ₂	Siliciumdioxide
Si ₃ N ₄	Siliciumnitride
TFT	Thin-Film Transistor
TNO	Toegepast-Natuurwetenschappelijk Onderzoek

Abstract

Het doel van deze masterproef is het ontwerpen van een line driver voor flexibele AMOLED-beeldschermen. De aansturing van deze beeldschermen gebeurt typisch met twee chips, een line driver op een flexibele folie en een data driver op silicium. De technologie waarrond dit onderzoek plaatsvindt, is de a-IGZO-technologie.

Door een digitale PWM-aansturing te gebruiken, waarbij elk van de acht subframes is opgedeeld in drie blokken, is het mogelijk om twee ingangspulsen op verschillende tijdstippen in te sturen, zonder meer dan één pixelrij tegelijk aan te sturen. Dit laat toe om zonder dode tijd en met een eenvoudige data driver een scherm aan te sturen met een lager vermogenverbruik dan de traditionele analoge aansturing. Het ontwerp van de line driver is opgesplitst in een schuifregister met statische logica en een bootstrap stage met dynamische logica. De bootstrap stage stuurt een pixelrij aan op basis van twee klokken. In dit werk wordt de vergelijking gemaakt tussen de ESL technologie en de nieuwere SA technologie.

De maximale refresh rate bedraagt 22 kHz in de ESL technologie en 11.8 MHz in de SA technologie. Voor de SA technologie komt dit overeen met een frame rate van 256 Hz voor een FHD beeldscherm. Het vermogenverbruik per lijn bedraagt 149 mW. De resolutie is 94 ppi en de breedte van de niet-actieve schermrand is 1.9 mm. Tot slot wordt er een optimalisatie voorgesteld om de resolutie tot 343 ppi te verhogen. Hierbij zal de breedte van de niet-actieve schermrand 6.2 mm zijn.

Summary

The purpose of this master's thesis is to design a line driver for flexible AMOLED displays. To control these displays there are typically two ICs needed, one line driver and one data driver. It is possible to produce the line driver on a flexible foil, the data driver is still on silicon. The a-IGZO technology is used for this research.

By using a digital PWM signal where each of the eight subframes is divided into three blocks, it is possible to send in two input pulses on a different time, without accessing more than one pixel at the same time. This allows to control a display without dead time and with a simple data driver. The power consumption is lower than the traditional analog control. The design of the line driver is divided into a shift register and a bootstrap stage. For the greatest part static logic is used in the shift register and dynamic logic is used in the bootstrap stage. There are two different clocks needed in the bootstrap stage to control the output. In this dissertation a comparison is made between the ESL technology and the newer SA technology.

The maximum refresh rate is 22 kHz in the ESL technology and 11.8 MHz in the SA technology. A refresh rate of 11.8 MHz equals a frame rate of 256 Hz for a FHD display. The power consumption for each line is 149 mW. The resolution is 94 ppi and the width of the bezel is 1.9 mm. Finally, there is a proposal to optimize the resolution to 343 ppi and the width of the bezel will be 6.2 mm.

1 Onderzoeksopzet

1.1 Situering

Het interuniversitair micro-elektronica centrum of kortweg imec (figuur 1.1) is een onderzoekscentrum dat aan de wereldtop staat op vlak van onderzoek naar nano-elektronica. Imec's hoofdzetel is gevestigd in Leuven, België, maar imec heeft ook nog kantoren in Nederland, Taiwan, Verenigde Staten, China, India en Japan. Het onderzoekscentrum is opgericht in 1984 door Professor Roger Baron Van Overstraeten met steun van de Vlaamse Overheid. Vandaag de dag werken er ongeveer 2200 mensen voor imec, waarvan bijna 700 industriële residenten of gastonderzoekers. De werknemers beschikken over meerdere clean rooms en verscheidene ultramoderne laboratoria. Imec is momenteel verder aan het uitbreiden. Na de verbouwingen zal er een extra clean room beschikbaar zijn en zal de campus een oppervlakte hebben van 80.000m² [1]-[3].



Figuur 1.1: Logo imec [1]

Imec en Holst Centre (figuur 1.2) lanceerden in 2012 een onderzoeksprogramma naar flexibele Organic Light-Emitting Diode (OLED) beeldschermen. Holst Centre is een open innovatie-initiatief opgericht door imec en de Nederlandse Organisatie voor Toegepast-Natuurwetenschappelijk Onderzoek (TNO). Holst Centre is gelegen op de High Tech Campus in Eindhoven, Nederland. Voor deze masterproef is vooral het onderzoek naar de flexibele Active-Matrix OLED-schermen (AMOLED-schermen) belangrijk. Dit is een van de vele onderwerpen binnen de Large Area Electronics (LAE) groep [2], [4].



Figuur 1.2: Logo Holst Centre [4]

1.2 Probleemstelling

Imec ontwikkelt momenteel de aansturing van een flexibel AMOLED-beeldscherm. Een beeldscherm wordt typisch aangestuurd met twee microchips, een data driver voor de horizontale lijnen van het scherm en een line driver, ook wel gate driver of scan driver genoemd, voor de verticale lijnen van het scherm. Deze twee microchips nemen te veel plaats in rondom het scherm voor integratie in high end producten met een nauwe schermrand. Het is daarom een noodzaak om de oppervlakte rond het beeldscherm te verminderen. Dit is mogelijk door slechts één microchip te gebruiken, enkel de data driver.

Er is dus vraag naar een nieuw ontwerp en een nieuwe lay-out voor de line driver die geïntegreerd is in de dunne-filmtechnologie van de rest van het panel. Er is ook vraag naar betrouwbaardere logica en snellere logica om de overstap te kunnen maken van Quarter-Video-Graphics-Array (QVGA) resolutie met 320x240 pixels naar Full High-Definition (FHD) resolutie met 1920x1080 pixels.

1.3 Doelstelling

Delvaux heeft in 2014 een line driver voor digitale sturing ontworpen die volledig opgebouwd was met dynamische logica. Dit ontwerp maakte gebruik van drie klokken [5]. Genoe *et al.* zijn er dan weer in geslaagd om een ontwerp voor analoge sturing te maken met maar twee klokken [6]-[9]. Beide ontwerpen zijn gemaakt in de ESL technologie.

Het doel van de thesis is om een ontwerp te maken dat gebruik maakt van twee klokken, maar statische logica gebruikt in plaats van dynamische logica. Statische logica is betrouwbaarder dan dynamische logica. De technologie waarrond het onderzoek plaatsvindt, is een dunne-filmtechnologie, waarbij de halfgeleider amorf Indium-Gallium-ZinkOxide (a-IGZO) is. Hierbij wordt stilaan overgeschakeld van de Etch-Stop Layer (ESL) technologie naar de nieuwere Self-Aligned (SA) technologie. De overgang van de ESL technologie naar de SA technologie levert enkele voordelen op, waaronder hogere refresh rates. Bij dit nieuwe ontwerp moet het mogelijk zijn om twee ingangspulsen op verschillende tijdstippen in het schuifregister te sturen en toch mag de line driver niet meer dan één uitgang tegelijk aansturen.

1.4 Materiaal en methode

Een eerste stap binnen deze masterproef is het begrijpen, analyseren en simuleren van het bestaande ontwerp. Prof. dr. ir. Jan Genoe maakte een basisontwerp in 2015 in de ESL technologie. Met behulp van simulatie wordt het nieuwe ontwerp geëvalueerd en vergeleken met eerdere ontwerpen. Enkel zo is het mogelijk om de verbeteringen effectief aan te tonen.

De volgende stap is het bedenken van een nieuw ontwerp, ook nog in de ESL technologie. De ESL technologie is een zeer robuuste technologie en daarom is het aangeraden om eerst nog

met deze technologie te werken. Vervolgens is het ook de bedoeling om dit nieuwe ontwerp te simuleren en indien nodig nog aan te passen. Voor het ontwerpen van een nieuw design is het de bedoeling om Cadence te gebruiken. Imec heeft een licentie voor het gebruik van Cadence. Nadien is de overschakeling naar de SA technologie mogelijk, ook hierbij is een simulatie en eventuele aanpassingen nodig. Hier is al een eerste vergelijking mogelijk tussen de twee verschillende technologieën. Indien het ontwerp in de SA technologie stabiel en betrouwbaar genoeg is, kan er overgegaan worden naar de volgende stap.

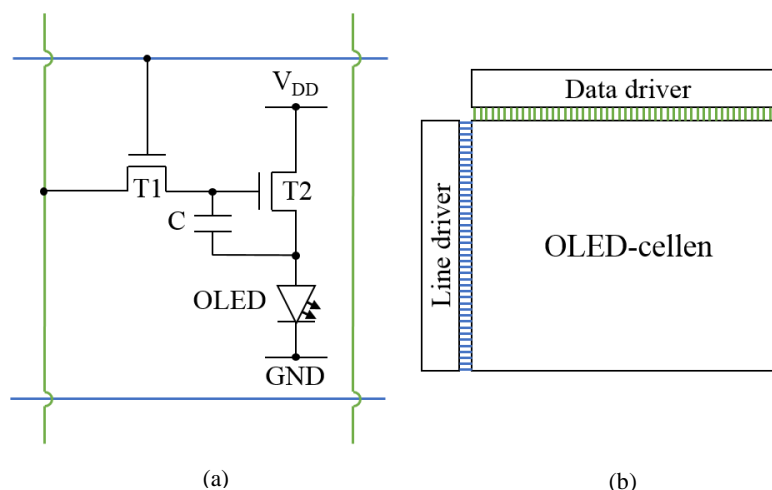
Een derde stap is het nieuwe ontwerp lay-outen. Na het ontwerpen in Cadence is het mogelijk om het ontwerp ook te lay-outen in Cadence, maar binnen LAE gaat de voorkeur uit naar KLayout. Vervolgens kan de lay-out die gemaakt is in KLayout terug in Cadence ingeladen worden om een simulatie uit te voeren. Deze simulatie is nodig om te verifiëren of er al dan niet fouten gemaakt zijn tijdens het lay-outen in KLayout. De software voor KLayout is gratis te downloaden op www.klayout.de en is beschikbaar voor zowel Linux, Windows als Mac OS besturingssystemen. KLayout ondersteunt Graphic Database System (GDS) files, deze kunnen zowel bekeken als bewerkt worden [10]. Bij het lay-outen moet rekening gehouden worden met de gebruikte technologie evenals de maximale grootte en breedte die de line driver mag aannemen. Als er geen fouten meer in de lay-out zitten, kan de lay-out effectief in productie gaan.

De laatste stap is de optimalisatie van het nieuwe ontwerp en dus ook de nieuwe lay-out. Optimalisaties gebeuren op basis van verschillende aspecten, bijvoorbeeld de pitch tussen de uitgangen ofwel de afstand tussen de pixels. Hoe smaller de pitch, hoe hoger de resolutie van een scherm is. Tijdens deze stap is het ook belangrijk om alle resultaten van de simulaties uit te schrijven.

2 Literatuur

2.1 AMOLED-beeldscherm

De opbouw van een AMOLED-beeldscherm is getoond in figuur 2.1. Binnen imec zijn er al diverse flexibele AMOLED-beeldschermen ontwikkeld [11], [12]. Dit soort beeldschermen bestaan uit drie verschillende delen: een matrix van OLED-cellen (frontplane) en dunne filmtransistoren (TFT-backplane), een data driver en een line driver. De groene lijnen in onderstaande figuur zijn de uitgangen van de data driver, de uitgangen van de line driver zijn met een blauwe kleur aangeduid. Een OLED zal oplichten als transistor T2 in geleiding is. De spanning over condensator C bepaalt de stroom door de OLED en dus hoe fel deze oplicht. De condensator wordt opgeladen door de data driver waarbij transistor T1 als toegangstransistor wordt gebruikt.



Figuur 2.1: Opbouw AMOLED-beeldscherm (a) AMOLED pixel, (b) Schema AMOLED-beeldscherm

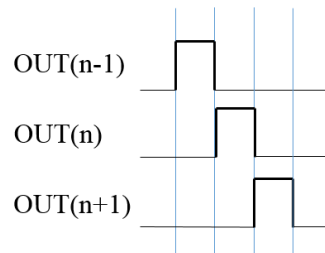
2.1.1 Data driver

De data driver is meestal een Digital-to-Analog Converter (DAC) welke de digitale waarde van een pixel omvormt naar een analoge spanning. Door een juiste aansturing wordt het analoge signaal dan ingeladen in de condensator. Momenteel is het nog niet mogelijk om de data driver ook te integreren op flexibele folie wegens het complexe schema en de hoge performantie die nodig is. De data driver blijft een microchip.

2.1.2 Line driver

Bij de line driver is integratie op flexibele folie wel een optie. Het schema van de line driver is minder complex en daarom is het mogelijk om dit in de dunne-filmtechnologie te maken. Een line driver vormt een shiftregister waarbij elke uitgangslijn één voor één wordt

aangestuurd. De data driver heeft zo de mogelijkheid om lading op de condensatoren van elke pixel te zetten. Ideaal zouden de uitgangen van een line driver er moeten uitzien zoals in figuur 2.2. In de praktijk zijn rechte stijgende en dalende flanken niet mogelijk. Een uitgang zal moeten opladen en ontladen [5].



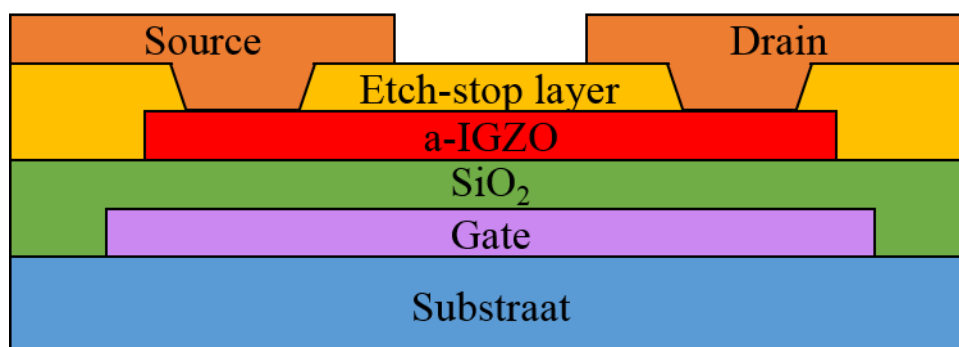
Figuur 2.2: Tijdsdiagram ideale line driver

2.2 a-IGZO-technologie

De technologie waarrond dit onderzoek plaatsvindt, is een dunne-filmtechnologie op folie. Hierbij is a-IGZO de halfgeleider, dit is een n-type halfgeleider. Nomura *et al.* produceerden in 2004 een Thin-Film Transistor (TFT) op een flexibel substraat bij kamertemperatuur [13]. De lage ontwikkelingstemperatuur is een voordeel, maar een ander belangrijk voordeel is de hoge mobiliteit ten opzichte van amorf Silicium (a-Si). Voor a-Si ligt de mobiliteit tussen 0.5 en 1 cm²/Vs [14], voor a-IGZO is dit maar liefst 10 tot 20 keer groter, tot een orde grootte van 20 cm²/Vs [15]. Een nadeel van deze technologie is dat er geen p-type transistoren mee gemaakt kunnen worden. Imec beschikt momenteel over twee soorten productietechnologieën, enerzijds de ESL technologie en anderzijds de SA technologie.

2.2.1 ESL technologie

De ESL technologie is een zeer robuuste technologie. Hier maakt men gebruik van een bottom-gate a-IGZO TFT. De gate zit aan de onderkant van de stack zoals getoond is in figuur 2.3. Het nadeel van deze technologie is dat er grote parasitaire capaciteiten aanwezig zijn. Dit is het geval bij de overlap tussen gate en source, maar ook bij de overlap tussen gate en drain. Een parasitaire capaciteit heeft een negatieve invloed op onder meer de snelheid waarmee de transistor schakelt [5].

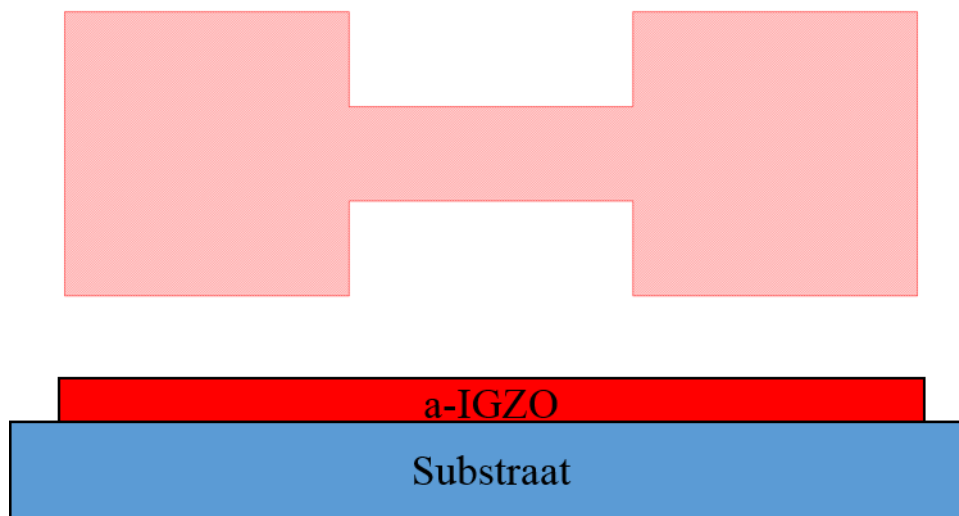


Figuur 2.3: Dwarsdoorsnede transistor in de ESL technologie

2.2.2 SA technologie

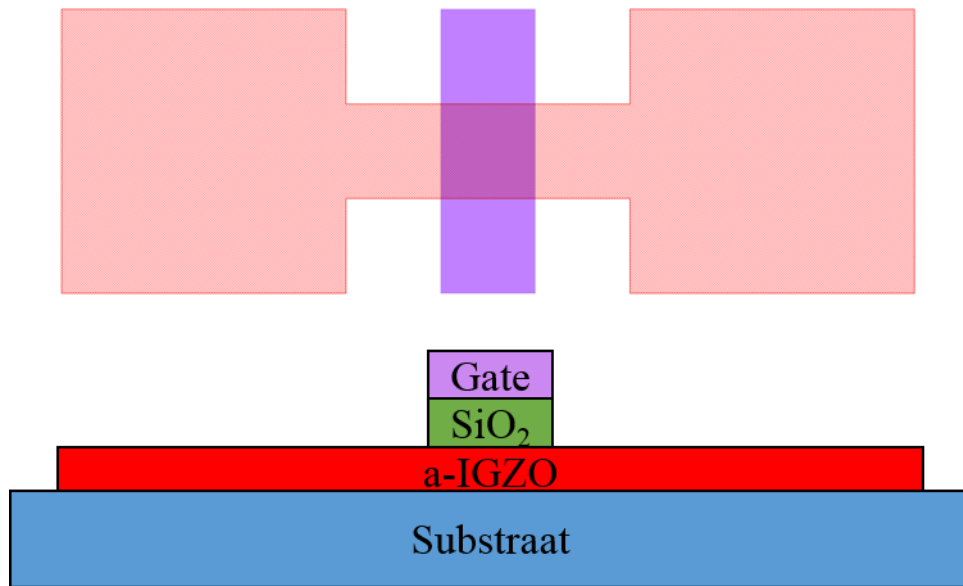
Een oplossing voor de grote parasitaire capaciteiten is de SA technologie [16]. De overlap tussen enerzijds de gate en anderzijds source en drain is veel kleiner. Bij deze technologie is het mogelijk om de kanaalbreedte (W) en de kanaallengte (L) kleiner te maken [17]. Dit levert een extra voordeel op als het aankomt op de snelheid van een transistor.

Om een SA top-gate TFT te maken zijn er tien productiestappen nodig. Een eerste stap in het proces is het afzetten van het substraat (polyimide) op een glazen wafer. De glazen wafer dient ter ondersteuning van het substraat en is slechts tijdelijk. De tweede stap is het afzetten van het a-IGZO materiaal. Na deze stap wordt het patroon van het a-IGZO geëtsd. Op figuur 2.4 is het bovenaanzicht en de dwarsdoorsnede getoond [12].



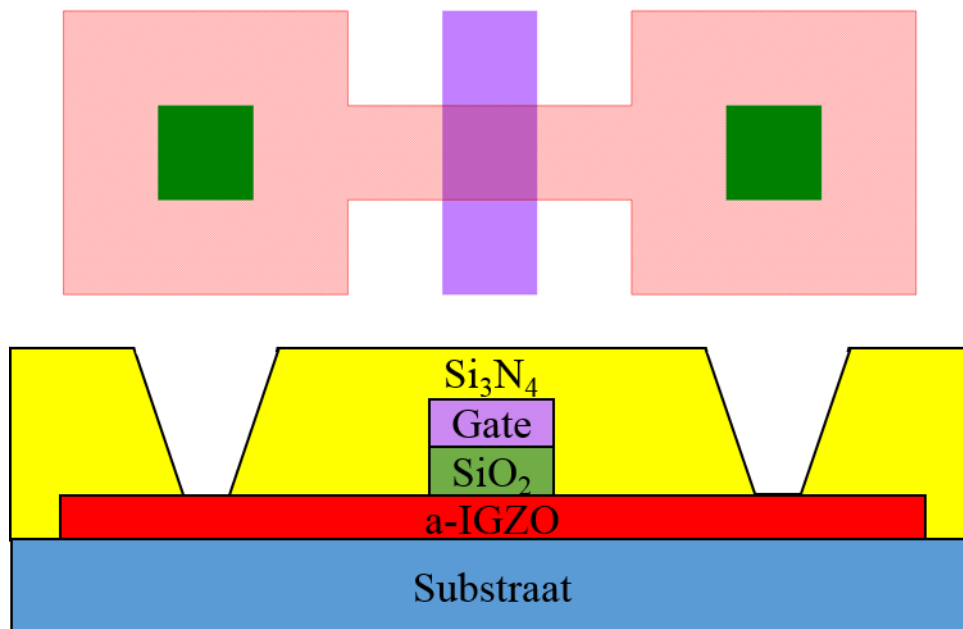
Figuur 2.4: Afzetten en vormen van het patroon van het a-IGZO

De vierde en vijfde stap (figuur 2.5) zijn het afzetten van de gate isolator en het gate materiaal. Het materiaal dat gebruikt is voor de gate isolator is siliciumdioxide (SiO_2), voor het gate materiaal worden verschillende materialen gebruikt. Deze stappen worden gevolgd door het etsen van het patroon van de gate [12].



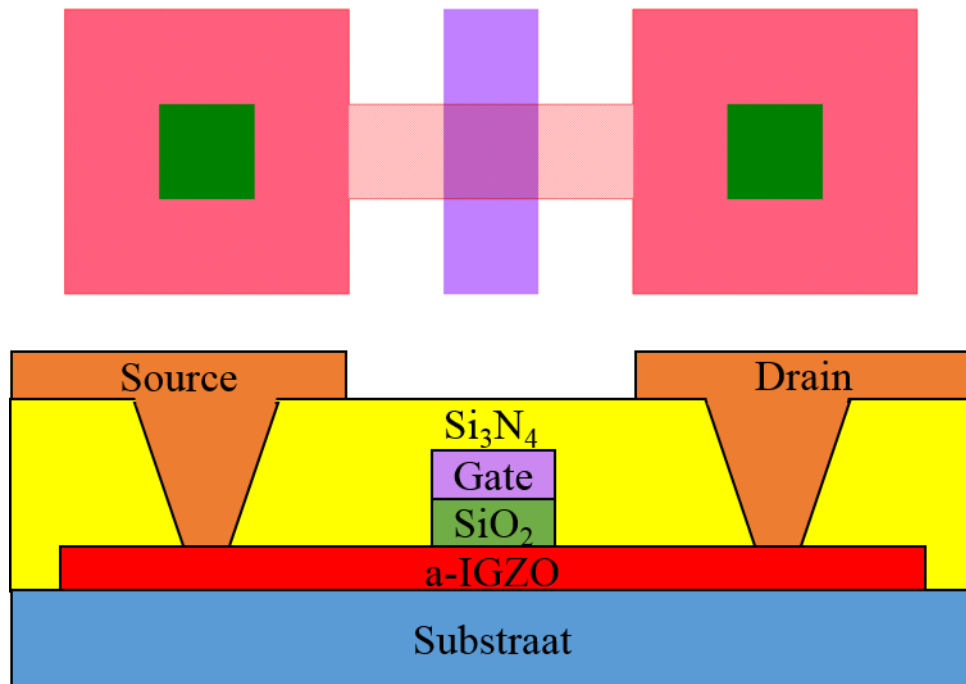
Figuur 2.5: Afzetten en vormen van het patroon van de gate isolator en de gate

De zevende stap in het proces is het afzetten van siliciumnitride (Si_3N_4). Vervolgens worden er twee via's geëtsd voor een contact te hebben tussen enerzijds source en drain en anderzijds het a-IGZO. Dit is weergegeven in figuur 2.6. Hierbij wordt alle a-IGZO halfgeleider die in contact komt met Si_3N_4 hoog gedopeerd, wat quasi-metallische eigenschappen oplevert. Op deze manier wordt het kanaal beperkt tot dat gedeelte wat bedekt is met de gate [12].



Figuur 2.6: Afzetten van Si_3N_4 en het etsen van de twee via's

De laatste twee stappen zijn het afzetten van het source-drain materiaal en het vormen van het patroon van de source en drain. Figuur 2.7 toont het bovenaanzicht en de dwarsdoorsnede van een SA top-gate TFT. Hierop is duidelijk te zien dat de overlappen veel kleiner zijn dan bij een ESL bottom-gate TFT [12].



Figuur 2.7: Afzetten en vormen van het patroon van de source en drain

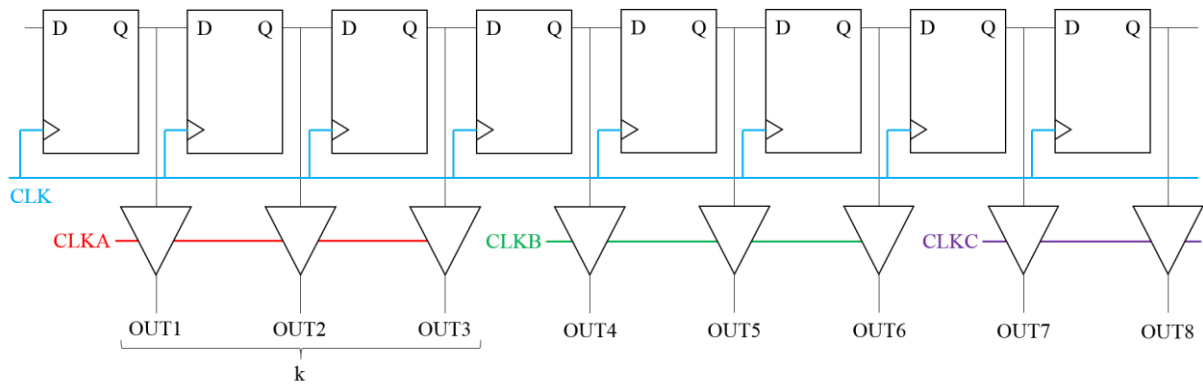
2.3 Digitale PWM-aansturing voor beeldschermen

Het menselijk oog vormt verschillende pulsen om tot een gemiddelde intensiteit bij een digitale Pulse-Width Modulation-aansturing (PWM-aansturing). Een dubbele schrijfpuls heeft verschillende voordelen, al moet er op gelet worden dat er op geen enkel tijdstip meer dan één uitgang actief is. Als dit wel het geval is, kan de data driver verkeerde informatie in een lijn van pixels sturen. Dit zorgt voor ruis op het beeld en dat is niet gewenst.

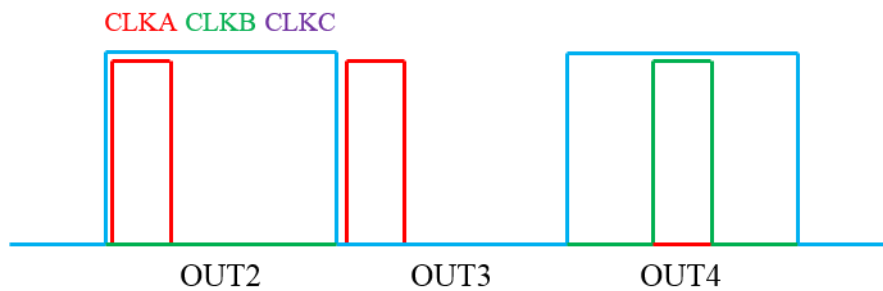
Een van de voordelen van een dubbele schrijfpuls is dat de maximale duty cycle van de OLED 100% wordt. Hierdoor treedt er minder degradatie op, waardoor het menselijk oog een scherper beeld waarneemt.

Tanada *et al.* zijn er in 2004 in geslaagd om een dubbele schrijfpuls door een AMOLED-beeldscherm te sturen. Hierbij hadden ze twee line drivers nodig, een links van het scherm en een rechts van het scherm. De ene line driver zorgde voor een schrijfpuls, terwijl de andere line driver voor een wispuls zorgde. De tijd tussen deze twee pulsen is de tijd dat een OLED actief is. Deze methode heeft als nadeel dat een OLED lange tijd afstaat, namelijk de hele tijd na de wispuls, tot dat de volgende schrijfpuls komt. Genoe *et al.* zijn er in geslaagd om deze methode te optimaliseren en zo een dubbele schrijfpuls in te sturen, zonder dat er op een bepaald tijdstip twee uitgangen actief zijn [5]-[9].

In figuur 2.8 is het schema van de line driver van Genoe *et al.* weergegeven. Hierbij is gebruik gemaakt van vier verschillende klokpulsen. CLK voor het aansturen van het schuifregister en CLKA, CLKB, CLKC voor het aansturen van de geklokte buffers. De klokken voor de buffers worden zo gekozen dat ze op geen enkel moment overlappen, zoals getoond in figuur 2.9 [5]-[9].



Figuur 2.8: Schema dubbele schrijfpuls

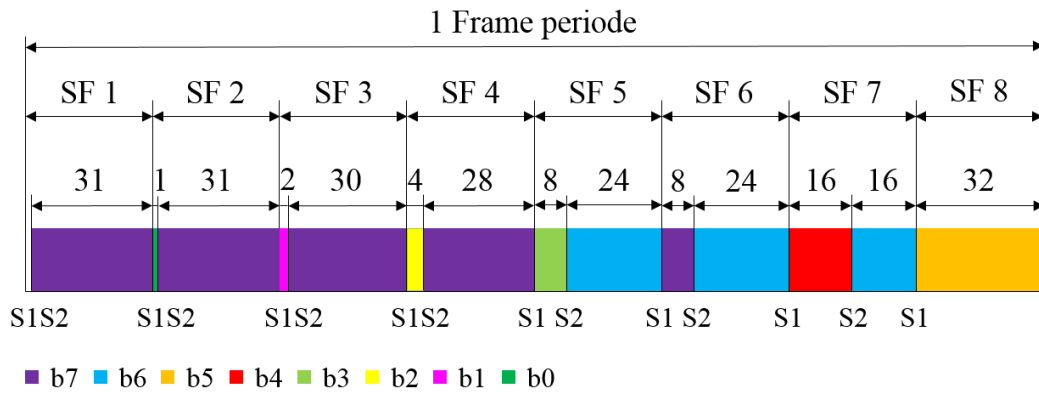


Figuur 2.9: Tijdsdiagram dubbele schrijfpuls

De tijd dat een OLED afstaat is gereduceerd tot $1/256^{\text{ste}}$ van een frame periode. Acht bits geven acht subframes binnen een frame periode. In tabel 2.1 is weergegeven hoe een 8-bit getal verdeeld is in elk subframe en figuur 2.10 geeft weer hoe een frame periode is opgebouwd [5]-[9].

Tabel 2.1: Verdeling van 8-bits bij digitale PWM-aansturing

Subframe nummer (a, b)	Gestuurde bit na dat de eerste selectlijn actief wordt	Gestuurde bit na dat de tweede selectlijn actief wordt
1 (1, 31)	0	b_7
2 (1, 31)	b_0	b_7
3 (2, 30)	b_1	b_7
4 (4, 28)	b_2	b_7
5 (8, 24)	b_3	b_6
6 (8, 24)	b_7	b_6
7 (16, 16)	b_4	b_6
8 (32, /)	b_5	/



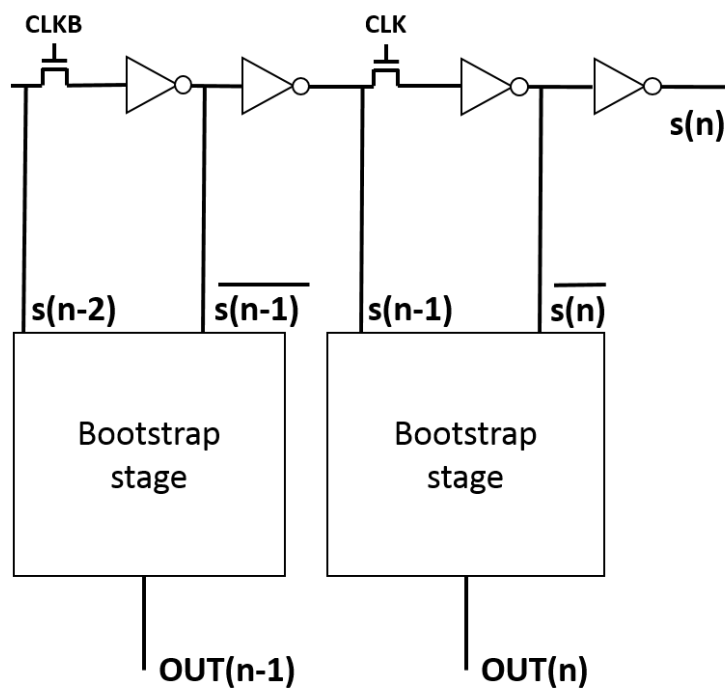
Figuur 2.10: Verdeling van een frame met twee schrijfpulsen

3 Ontwerp line driver

De doelstelling van het ontwerp van de line driver is een nieuw ontwerp maken dat gebaseerd is op een basisonwerp van Prof. dr. ir. Jan Genoe. Het moet mogelijk zijn om een dubbele schrijfpuls door de line driver te sturen. Op geen enkel tijdstip mag meer dan één uitgang actief zijn. Een aanpassing van het basisonwerp is nodig om aan de vereiste te voldoen.

3.1 Basisontwerp

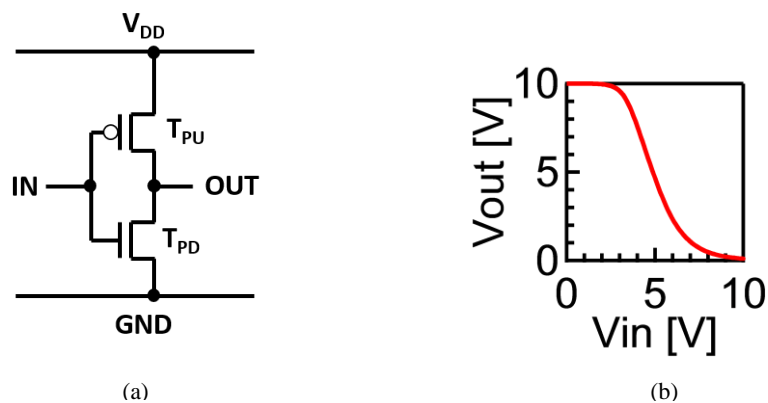
Het schema van het basisonwerp van Prof. dr. ir. Jan Genoe van de line driver met twee klokken is weergegeven in figuur 3.1 [6]-[9]. Dit schema heeft hij ontworpen op basis van zijn eerder onderzoek, maar werd nog niet gepubliceerd. Onderstaand schema komt uit een intern document. Dit blok stuurt twee pixelkolommen aan, $OUT(n-1)$ en $OUT(n)$. Hiervan zijn er 960 achter elkaar nodig in een FHD beeldscherm met 1920×1080 pixels. Elk element van de line driver is opgebouwd uit een schuifregister en een bootstrap stage. Elke bootstrap stage stuurt één lijn van pixels aan. Vanaf het moment dat $CLKB$ actief is, schuift een logische 1 door van $s(n-2)$ naar $\overline{s(n-1)}$ en vervolgens naar $s(n-1)$. Als CLK daarna hoog wordt, schuift diezelfde logische 1 door van $s(n-1)$ naar $\overline{s(n)}$ en vervolgens naar $s(n)$. In dit schema zit zowel statische als dynamische logica. De invertoren in het schuifregister zijn statisch, de bootstrap stages zijn dynamisch.



Figuur 3.1: Basisontwerp line driver

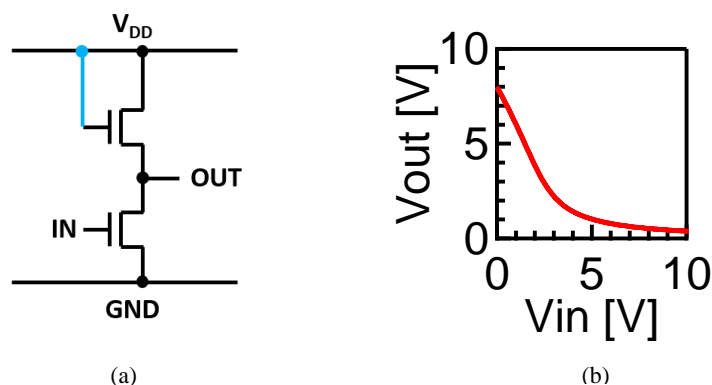
3.1.1 Invertor

Een standaard Complementary Metal-Oxide-Semiconductor (CMOS) invertor heeft een p-channel Metal-Oxide-Semiconductor Field-Effect Transistor (pMOSFET of pMOS) in het Pull-Up Network (PUN) en een n-channel Metal-Oxide-Semiconductor Field-Effect Transistor (nMOSFET of nMOS) in het Pull-Down Network (PDN). De pMOS zorgt ervoor dat de uitgang naar de voedingsspanning kan getrokken worden. De nMOS in een invertor zorgt dat de uitgang naar de grond kan getrokken worden. In figuur 3.2 is het schema en de karakteristiek van een standaard CMOS-invertor gegeven.



Figuur 3.2: Standaard CMOS-invertor (a) Schema, (b) Karakteristiek [18]

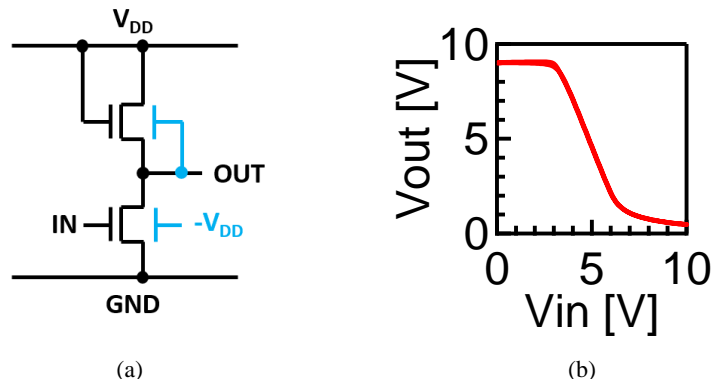
Een pMOS zoals in CMOS logica is zeer moeilijk te ontwikkelen met de dunne-filmtechnologie [19]. In een typisch schema (figuur 3.3) is daarom de pMOS vervangen door een nMOS, hierbij is de gate aan de voedingsspanning gehangen en niet aan de ingang. Een negatief gevolg hiervan is dat het PUN altijd aan staat, met als gevolg dat de karakteristiek naar links verschuift. De uitgangsspanning raakt ook niet meer tot aan V_{DD} omdat de pull up nMOS stopt met geleiden van zodra $V_{GS} - V_t < 0$, of wanneer $V_{OUT} = V_{S,pull\ up} > V_{DD} - V_t$.



Figuur 3.3: Invertor waarbij pMOS vervangen is door nMOS (a) Schema, (b) Karakteristiek [18]

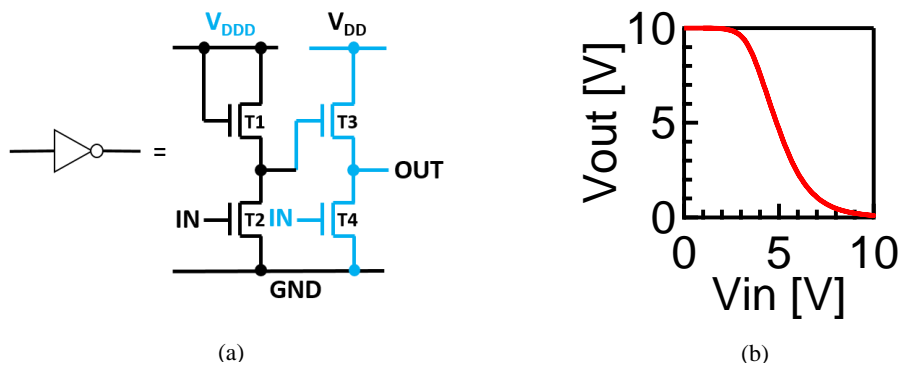
Om de invertor meer robuust te maken is het mogelijk om backgate toe te voegen. De backgate geeft de mogelijkheid om de drempelspanning (V_t) te verschuiven. Een negatieve spanning aan de backgate ten opzichte van de source zorgt voor een stijging van V_t [20]. De

backgate van de pull up nMOS is aan de uitgang gehangen zodat $V_{BG} - V_S$ altijd gelijk is aan 0. De backgate van de pull down nMOS is aan $-V_{DD}$ gehangen. Op die manier wordt V_t aangepast tot ongeveer $V_{DD}/3$. Dit is weergegeven in figuur 3.4. Het is duidelijk dat de karakteristiek terug in het midden omklapt, maar de uitgangsspanning raakt nog steeds niet aan V_{DD} .



Figuur 3.4: Inverter met backgate PUN aan OUT en backgate PDN aan $-V_{DD}$ (a) Schema, (b) Karakteristiek [18]

Om de uitgangsspanning wel tot aan V_{DD} te laten komen en er voor te zorgen dat de karakteristiek nog altijd in het midden omklapt, zijn er vier transistoren nodig. Er is ook een extra voedingsspanning V_{DDD} nodig, die groter is dan V_{DD} . Het schema en de karakteristiek zijn getoond in figuur 3.5. Pseudo-CMOS is zeer robuust, maar een nadeel hiervan is het vermogenverbruik, dit ligt hoger door onder andere de dubbele voedingsspanning. Als grote voordeel is pseudo-CMOS zeer snel [18]. Tabel 3.1 geeft W en L van de inverter weer.



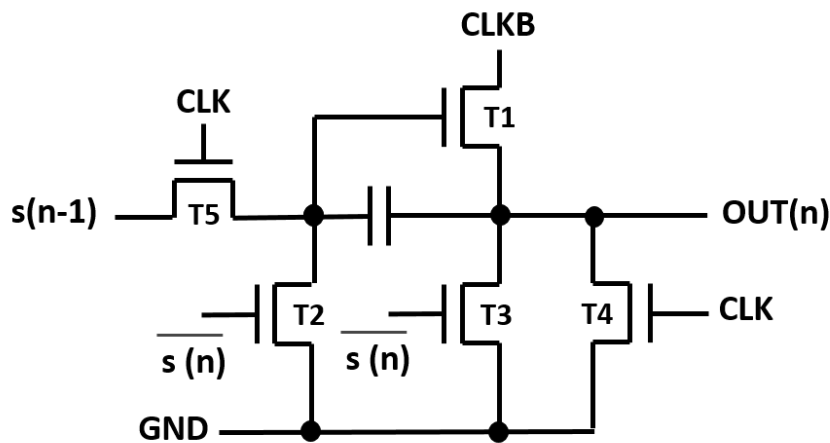
Figuur 3.5: Inverter met pseudo-CMOS logica (a) Schema, (b) Karakteristiek [18]

Tabel 3.1: Specificaties van de groottes van de transistoren in de inverter bij het basisontwerp

Transistor	W [μm]	L [μm]
T1	15	15
T2	150	15
T3	150	15
T4	150	15

3.1.2 Bootstrap stage

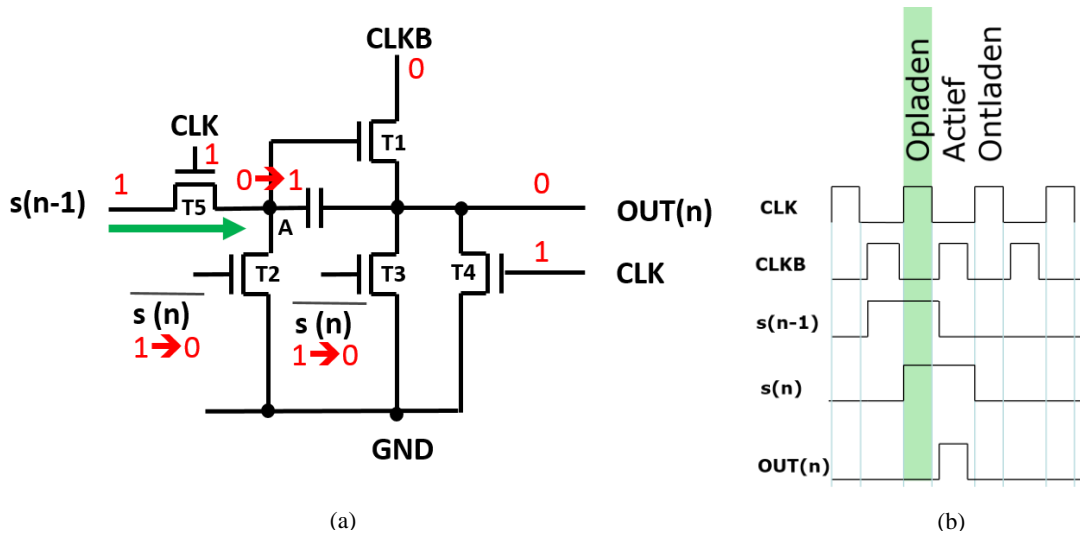
De bootstrap stage (figuur 3.6) bestaat uit 5 transistoren en een capaciteit. Dit is dynamische logica, wat wil zeggen dat hier verschillende fases aanwezig zijn. In dit schema zijn er drie fases, de oplaadfase of precharge, de actieve fase en de ontlaadfase of discharge. Er is geen voedingsspanning aanwezig, de uitgang gaat omhoog in de actieve fase op basis van CLKB. Het vermogen in de bootstrap stage komt van de kloklijnen. Er moet rekening mee gehouden worden dat deze lijnen in de lay-out breed genoeg zijn om een spanningsval te vermijden [21]-[23].



Figuur 3.6: Bootstrap stage

Oplaadfase

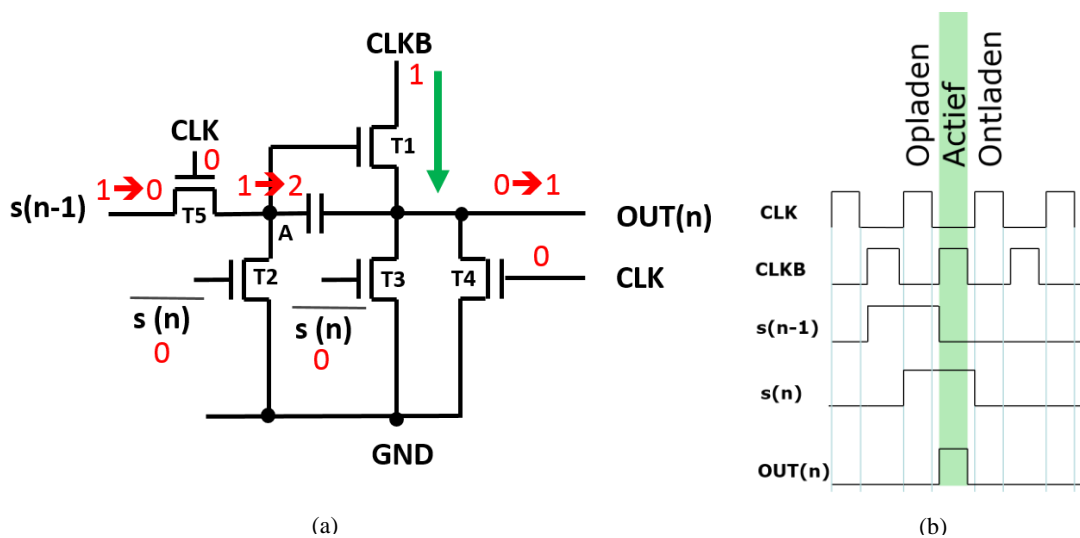
In de oplaadfase is CLK actief, de logische 1 die klaar staat aan $s(n-1)$ wordt doorgegeven naar de bootstrap node (knooppunt A). Op hetzelfde moment verandert $\overline{s(n)}$ van 1 naar 0. Dit zorgt ervoor dat de spanning van de bootstrap node niet weglekt naar de grond. Transistor T4 zorgt ervoor dat OUT(n) zeker naar de grond wordt getrokken in deze fase. Figuur 3.7a geeft weer wat er gebeurt aan elke transistor, in figuur 3.7b is de oplaadfase in het groen gemarkeerd [21]-[23].



Figuur 3.7: Oplaadfase (a) Schema, (b) Tijdsdiagram

Actieve fase

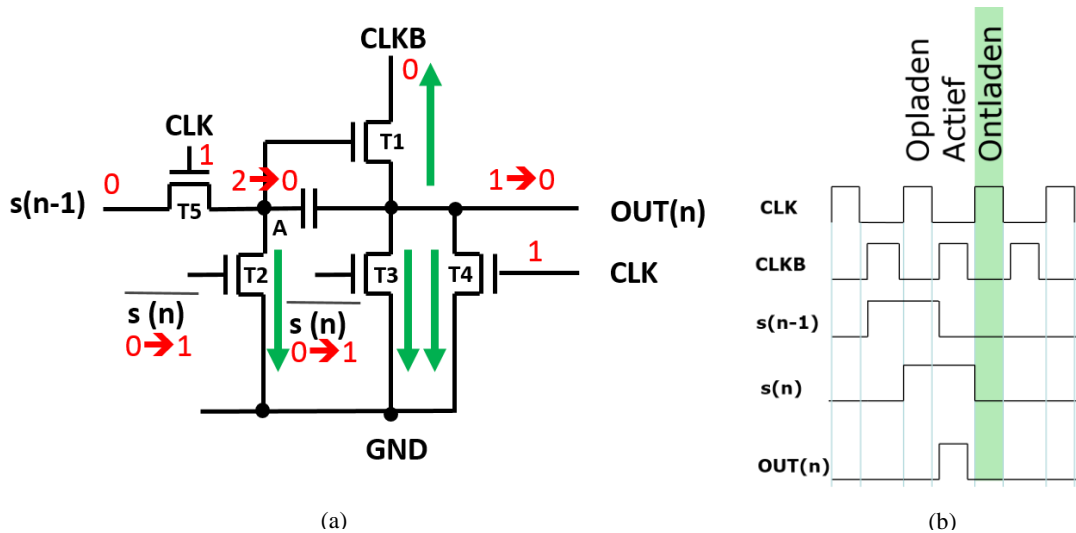
In de actieve fase is CLKB hoog, OUT(n) wordt hoog omdat transistor T1 in geleiding is. Een logische 2 op de bootstrap node bestaat in de praktijk niet, maar door de capacitieve koppeling is het mogelijk om de spanning in dat punt hoger te brengen dan de voedingsspanning. Hierdoor staat transistor T1 ver open en wordt OUT(n) snel opgeladen. Er kan geen spanning weglekken naar de grond omdat geen enkele van de onderste drie transistoren in geleiding is. Figuur 3.8a is een weergave van wat er gebeurt in de bootstrap stage en in figuur 3.8b is de actieve fase groen gemarkeerd [21]-[23].



Figuur 3.8: Actieve fase (a) Schema, (b) Tijdsdiagram

Ontlaadfase

Als CLK terug actief is, komt de bootstrap stage in de ontlaadfase. $OUT(n)$ zal zeer snel ontladen omdat $\overline{s(n)}$ terug 1 is. Zowel transistor T1, alsook transistor T3 en T4 zullen $OUT(n)$ laag trekken. Het is belangrijk dat dit door drie transistoren tegelijk gebeurt, want de pixels op de uitgangslijn werken volgens het principe van sample and hold [24]. Bij een negatieve klokflank van CLKB moet de uitgang onmiddellijk kunnen volgen. Transistor T2 zorgt ervoor dat de bootstrap node laag wordt getrokken. De condensator zal daardoor ontladen. Dit heeft als gevolg dat bij een volgende klokpuls van CLKB transistor T1 niet meer in geleiding is en dat $OUT(n)$ CLKB niet volgt. In figuur 3.9a is aangegeven met groene pijlen hoe $OUT(n)$ en de bootstrap node ontladen. Figuur 3.9b toont het tijdsdiagram waarbij de ontlaadfase groen is gemarkeerd. In tabel 3.2 zijn de specificaties weergegeven van groottes van de transistoren in de bootstrap stage [21]-[23].



Figuur 3.9: Ontlaadfase (a) Schema, (b) Tijdsdiagram

Tabel 3.2: Specificaties van de groottes van de transistoren in de bootstrap stage bij het basisonwerp

Transistor	W [μm]	L [μm]
T1	190	15
T2	290	15
T3	290	15
T4	190	15
T5	190	15

3.1.3 Specificaties aansturing

In tabel 3.3 zijn de specificaties gegeven voor het basisontwerp van de line driver aan te sturen. Het basisontwerp is gesimuleerd met de ESL technologie.

Tabel 3.3: Specificaties voor de aansturing van het basisontwerp

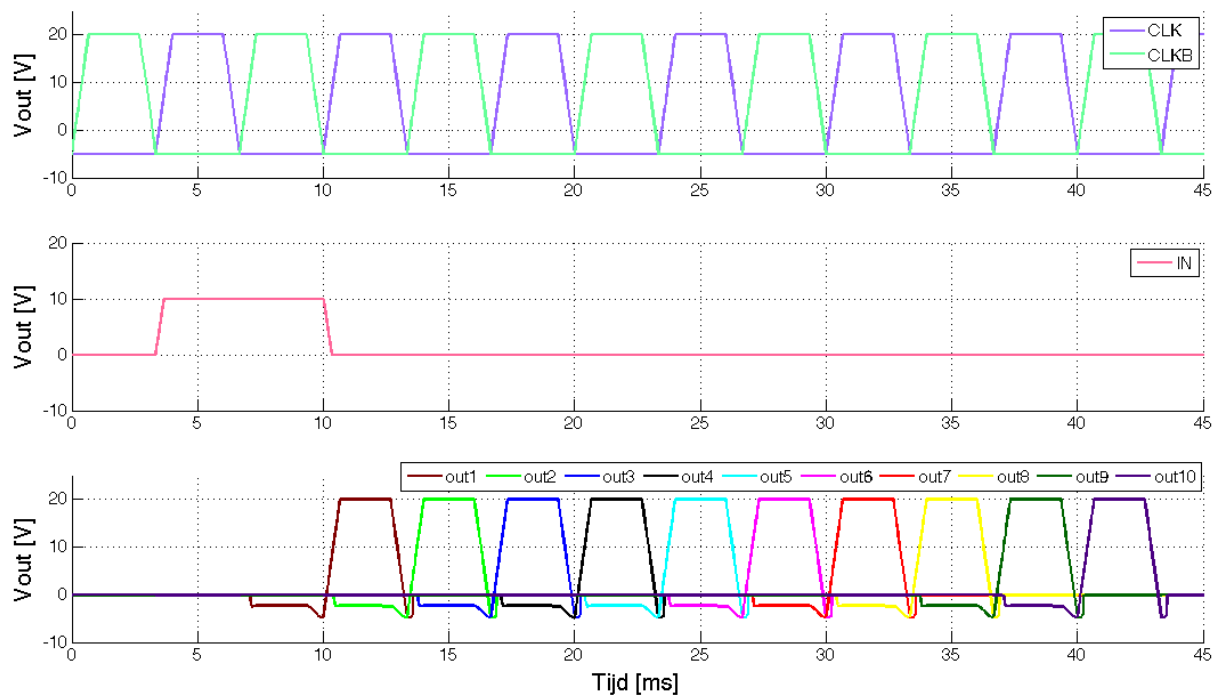
Naam	Spanning [V]
CLK	-5 tot 20
CLKB	-5 tot 20
IN	0 tot 10
V _{DD}	15
V _{DDD}	30
V _t	≥ 0

De transistoren in het basisontwerp moeten een V_t hebben die groter of gelijk aan 0 V is. Indien dit niet het geval is, zal de bootstrap node volledig weglekken vlak na de oplaadfase. Stel dat V_t gelijk is aan -2 V en $\overline{s(n)}$ is laag, dan zal transistor T2 in de bootstrap stage in geleiding zijn omdat V_{GS} op dat moment gelijk is aan 0 V. V_t is dus kleiner dan V_{GS} . Dit heeft als gevolg dat de bootstrap node weglekt naar de grond. In de ontlaadfase moet de transistor T2 in geleiding zijn, maar dat is geen enkel probleem, want $\overline{s(n)}$ is dan hoog en V_{GS} is bij gevolg 10 V. Dit is veel groter dan V_t en dus zal de ontlading van zowel de bootstrap node, als die van de uitgang zeer snel gaan.

Een hogere V_t heeft een negatieve invloed op de refresh rate van een beeldscherm. Als V_t stijgt, daalt de drain-source stroom (I_{DS}), waardoor de lastcapaciteit trager oplaadt en de snelheid van de line driver daalt. In het nieuwe ontwerp is er een oplossing gezocht om transistoren te gebruiken waarbij V_t gelijk is aan -2 V.

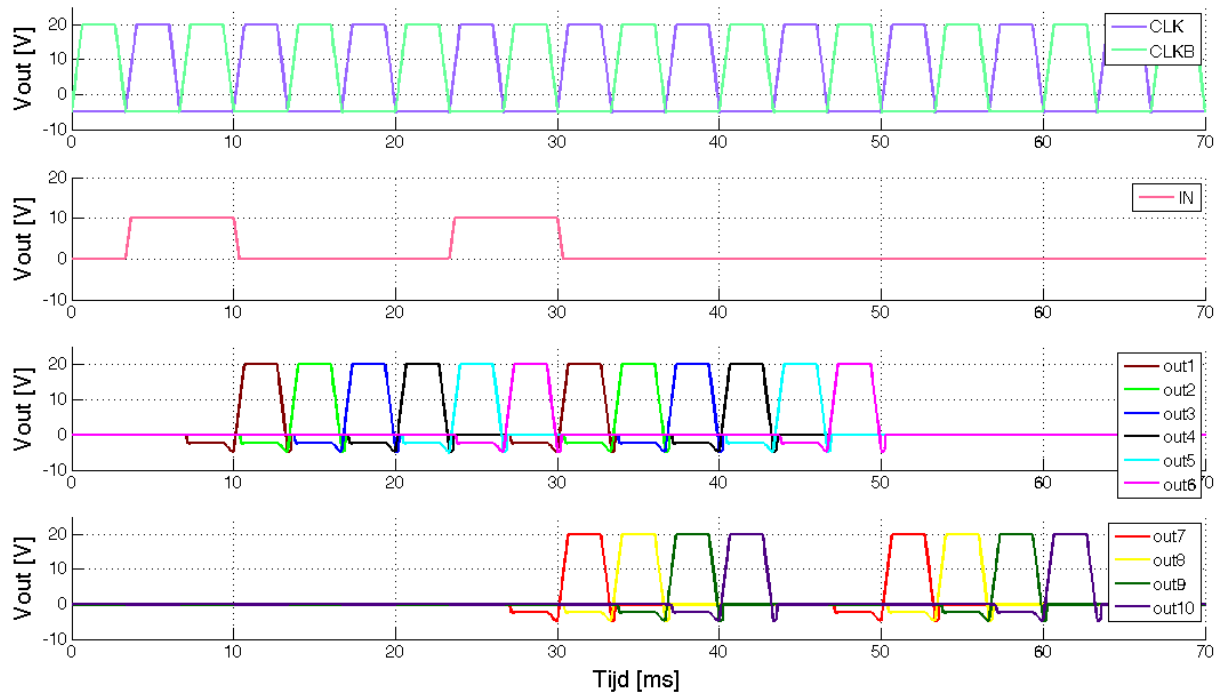
3.1.4 Simulaties

Figuur 3.10 geeft een simulatie weer van het basisontwerp. In deze simulatie zijn er 10 uitgangslijnen aangestuurd. Het aansturen van de uitgangen gebeurt bij elke halve klokpuls. Dit is te wijten aan het feit dat voor elke bootstrap stage CLK en CLKB zijn omgewisseld. In hoofdstuk 3.1.2 is de bootstrap stage besproken waarbij de uitgang afhankelijk was van CLKB. In het ontwerp zitten afwisselend bootstrap stages die afhankelijk zijn van CLK en CLKB. In figuur 3.10 zijn alle oneven uitgangen afhankelijk van CLK en alle even uitgangen afhankelijk van CLKB. Op een lage frequentie zullen de uitgangen perfect de klokpulsen volgen.



Figuur 3.10: Simulatie basisontwerp

Bij dit basisontwerp is het niet mogelijk om twee ingangspulsen achter elkaar in te sturen. Er mag namelijk op geen enkel tijdstip meer dan één uitgang worden aangestuurd. In figuur 3.11 is aangetoond dat dit wel het geval is indien er twee ingangspulsen zijn. Zowel out1 als out7 zijn op hetzelfde moment hoog en dat zou betekenen dat de twee lijnen van pixels dezelfde waarde krijgen. Om dit te voorkomen is er dus een nieuw ontwerp nodig.



Figuur 3.11: Simulatie basisontwerp met twee ingangspulsen

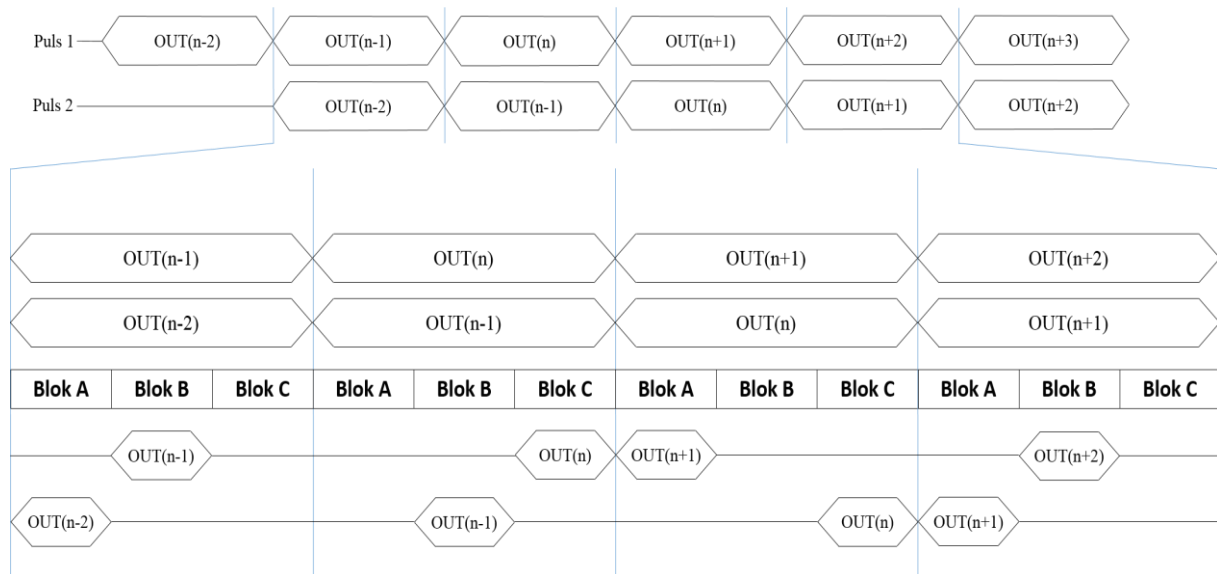
3.2 Nieuw ontwerp voor dubbele schrijfpuls

3.2.1 Het idee

In het nieuwe ontwerp moet het mogelijk zijn om twee pulsen in te sturen aan de ingang, zonder dat meer dan één uitgangslijn tegelijk wordt aangestuurd. Hierbij is een aanpassing nodig van het basisontwerp. Het ontwerp van de bootstrap stage blijft behouden, maar de verbindingen van de bootstrap stages in het schuifregister veranderen. Het ontwerp van de inverter blijft grotendeels behouden. Een kleine aanpassing van de voedingslijnen is nodig om transistoren te kunnen gebruiken waarvan V_t gelijk is aan -2 V. Het is de bedoeling om bij de digitale PWM-aansturing elk van de acht subframes te verdelen in drie verschillende blokken. De tijd tussen twee ingangspulsen moet altijd een veelvoud zijn van de macht van twee. Hierdoor zal er op geen enkel moment meer dan één uitgang actief zijn, omdat een macht van twee nooit een veelvoud van drie is [5]-[9].

Een bepaalde uitgang is afhankelijk van een bepaald blok van de line driver. Het idee is om $OUT(n-2)$ en $OUT(n+1)$ afhankelijk te maken van blok A, $OUT(n-1)$ en $OUT(n+2)$ afhankelijk te maken van blok B en $OUT(n)$ en $OUT(n+3)$ zijn dan afhankelijk van blok C. Op figuur 3.12 is het principe getoond hoe twee ingangspulsen kunnen ingestuurd worden. In het bovenste deel van de figuur is getoond hoe twee ingangspulsen een bepaalde uitgang willen aansturen. Puls 1 begint bij $OUT(n-2)$ en loopt vervolgens door alle uitgangen. Puls 2 wordt ingestuurd als puls 1 al bij $OUT(n-1)$ zit. Puls 2 doorloopt op dezelfde manier alle uitgangen.

Op het eerste zicht lijkt het erop alsof $OUT(n-1)$ bij de eerste puls en $OUT(n-2)$ bij de tweede puls tegelijk actief zijn, dit mag uiteraard niet. Als er meer in detail naar $OUT(n-1)$ en $OUT(n-2)$ wordt gekeken, is het duidelijk dat $OUT(n-1)$ afhankelijk is van blok B en $OUT(n-2)$ afhankelijk is van blok A. De twee uitgangen zijn dus niet op hetzelfde tijdstip actief. Dit is analoog voor $OUT(n+2)$ en $OUT(n+1)$. Als puls 1 aan $OUT(n)$ is gekomen, is puls 2 aan $OUT(n-1)$, maar $OUT(n)$ is afhankelijk van blok C en $OUT(n-1)$ is afhankelijk van blok B. Ook deze twee uitgangen zijn niet op hetzelfde moment actief. Als puls 1 vervolgens $OUT(n+1)$ aanstuurt, wil puls 2 $OUT(n)$ aansturen. Dit is perfect mogelijk want $OUT(n+1)$ is afhankelijk van blok A en $OUT(n)$ is afhankelijk van blok C.



Figuur 3.12: Principe van twee ingangspulsen insturen

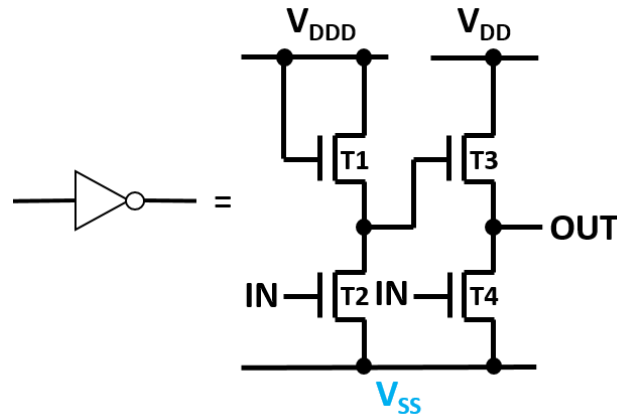
Er vanuit gaande dat een eerste ingangspuls altijd in blok A wordt gegeven, mag de tweede ingangspuls pas gegeven worden als de eerste puls in blok B van hetzelfde subframe zit. Er is dus één blok (2^0) tussen de twee ingangspulsen. Voor twee blokken (2^1) tussen de ingangspulsen, mag de tweede puls pas ingestuurd worden als de eerste puls in blok C van hetzelfde subframe zit. Het insturen van twee ingangspulsen is weergegeven in tabel 3.4.

Tabel 3.4: Twee ingangspulsen insturen

Aantal blokken tussen twee ingangspulsen	Eerste puls insturen in blok	Tweede puls insturen als eerste puls in blok
$2^0 = 1$	A (SF 1)	B (SF 1)
$2^1 = 2$	A (SF 1)	C (SF 1)
$2^2 = 4$	A (SF 1)	B (SF 2)
$2^3 = 8$	A (SF 1)	C (SF 3)
$2^4 = 16$	A (SF 1)	B (SF 6)

3.2.2 Invertor

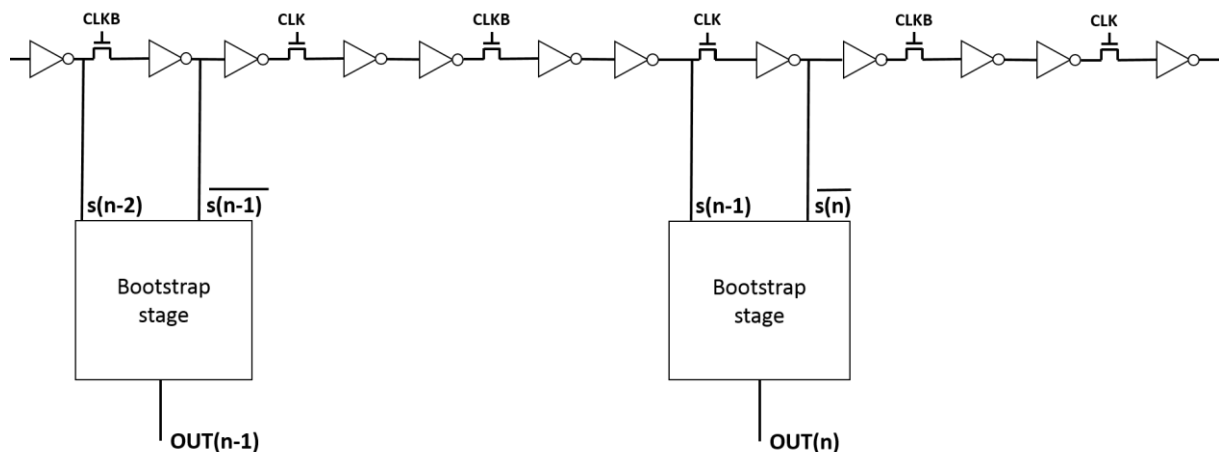
In het basisonwerp zijn alle invertoren met de grond verbonden. Dit heeft als nadeel dat er geen transistoren kunnen gebruikt worden waarbij V_t kleiner dan 0 V is. Door de grondlijn te vervangen door een negatieve voedingslijn V_{SS} , wordt de swing van de invertor V_{SS} tot V_{DD} . Als $V_{SS} < 0$, dan kunnen nu ook transistoren met $V_t < 0$ worden uitgeschakeld. V_{SS} heeft in dit ontwerp een waarde van -5 V. In principe moet $V_{SS} < V_t$, anders treedt het probleem op dat de bootstrap node leeg lekt naar de grond.



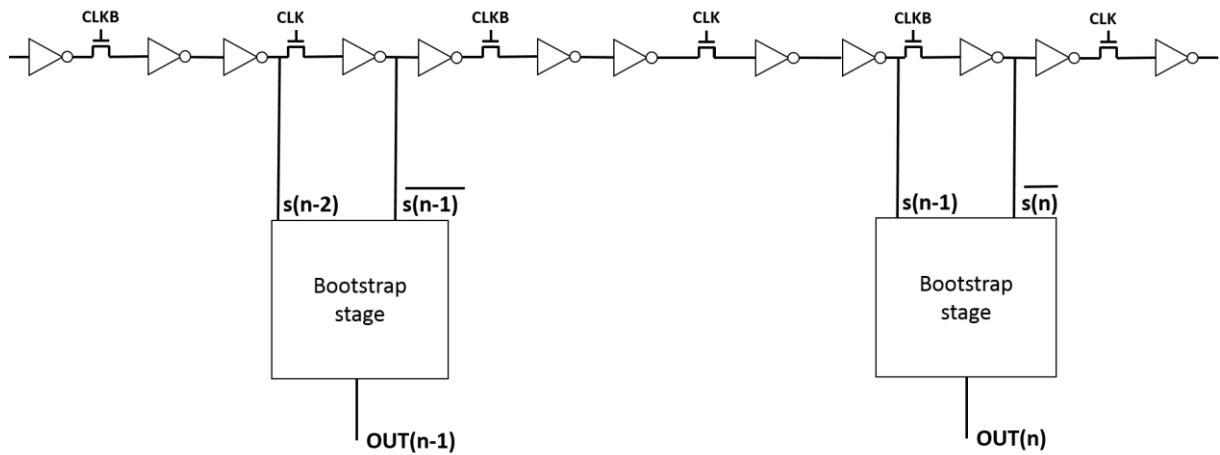
Figuur 3.13: Schema nieuw ontwerp invertor

3.2.3 Schuifregister

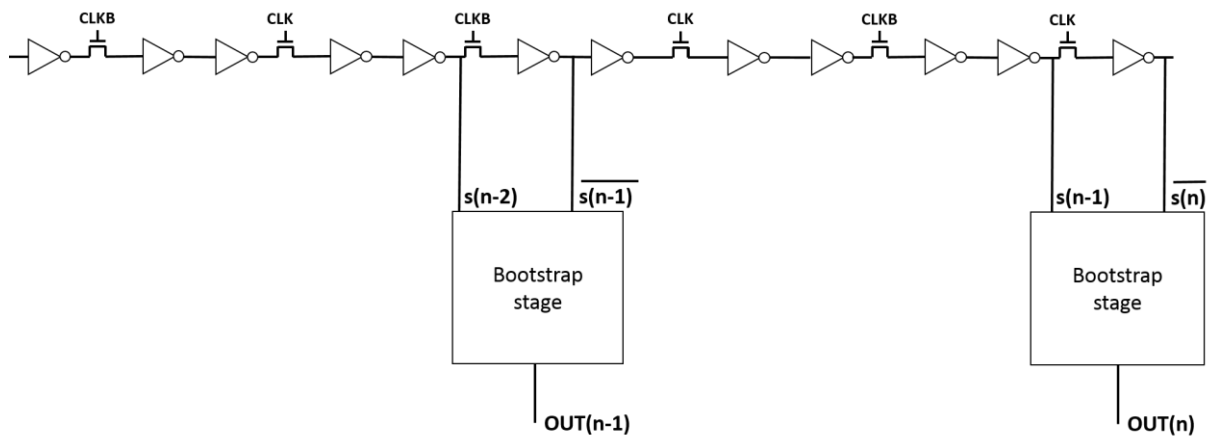
Het schuifregister is opgedeeld in drie verschillende blokken. In dit ontwerp is er gekozen om een line driver te maken met 64 uitgangslijnen, hiervoor zijn telkens twee uitgangen per blok nodig. Om te weten hoeveel uitgangen er per blok nodig zijn, moet het aantal lijnen gedeeld worden door 32. Het is best mogelijk om meerdere uitgangen per blok te hebben, maar om het principe uit te leggen zijn twee uitgangen voldoende. Elk van de drie blokken moet op een verschillende manier verbonden worden aan een rij van invertoren en transistoren. De transistoren, die afhankelijk zijn van CLK of CLKB, schuiven een ingangspuls door aan een bepaalde snelheid. Figuur 3.14, figuur 3.15, figuur 3.16 tonen respectievelijk het schema van blok A, blok B en blok C.



Figuur 3.14: Schema blok A

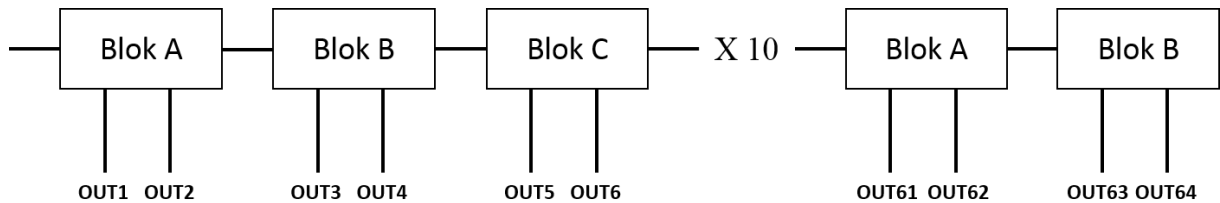


Figuur 3.15: Schema blok B



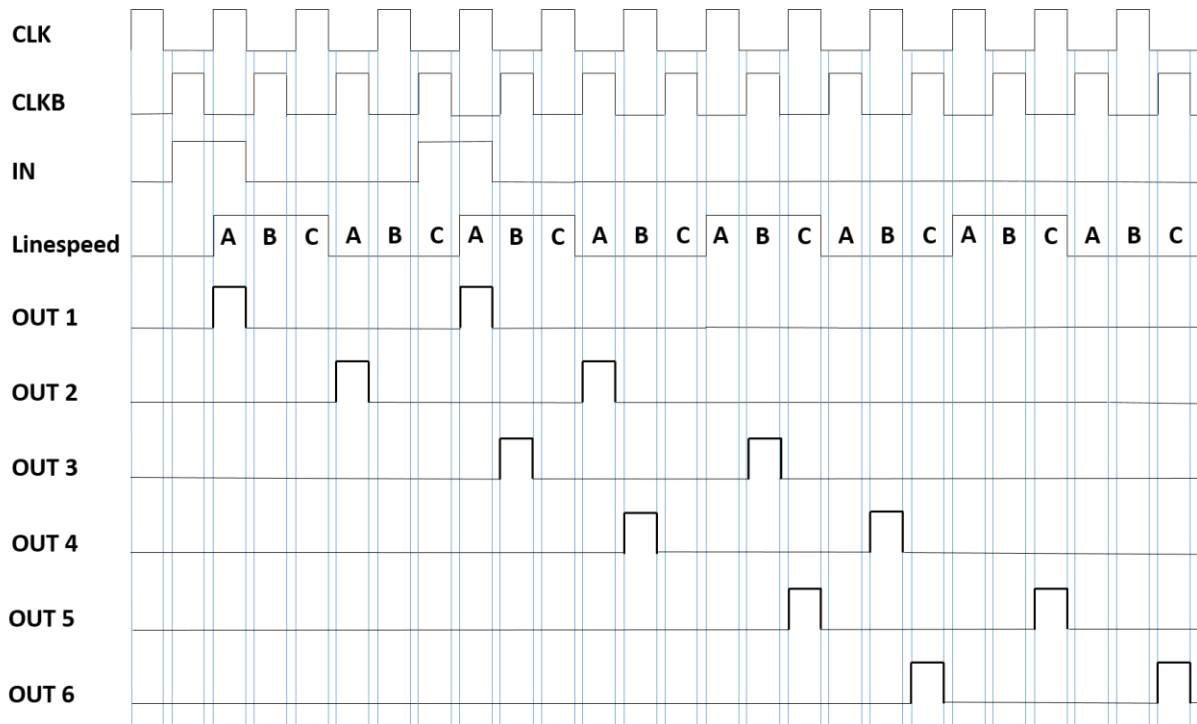
Figuur 3.16: Schema blok C

De drie blokken A, B en C zijn vervolgens achter elkaar gehangen en zo is het mogelijk om een line driver met zes uitgangen te ontwerpen. Het basisontwerp in figuur 3.1 had maar één uitgang per element. Het is perfect mogelijk om meerdere uitgangen die op elkaar volgen afhankelijk te maken van een blok A, B of C, maar er moeten wel altijd evenveel uitgangen per blok zijn. Bij dit nieuwe ontwerp zijn er meer invertoren en pass-transistoren nodig in het schuifregister. Figuur 3.17 is een simpele weergave van hoe het nieuwe ontwerp is opgebouwd.



Figuur 3.17: Schema nieuw ontwerp

Het tijdsdiagram van het nieuwe ontwerp is gegeven in figuur 3.18. Linespeed geeft duidelijk aan in welk blok een bepaalde uitgang actief is. Op het tijdsdiagram is duidelijk te zien dat er twee ingangspulsen zijn met één blok tussen beide pulsen. De eerste puls zit in blok B als de tweede puls gegeven wordt. OUT 1, OUT 4 en OUT 5 zijn afhankelijk van CLK. OUT 2, OUT 3 en OUT 6 zijn afhankelijk van CLKB.



Figuur 3.18: Tijdsdiagram met twee uitgangen per blok

3.2.4 Specificaties

Tabel 3.5 geeft de specificaties weer voor het aansturen van het nieuwe ontwerp. Er is overgeschakeld naar de SA technologie, de voedingsspanningen kunnen verlagen. Door het gebruik van een extra voedingslijn V_{SS} , moet het lage niveau van zowel de klokken als de ingangspulsen 5 V lager liggen. Als dit niet het geval is, kan niet elke transistor uit geleiding gehaald worden. Door het gebruik van de SA technologie kunnen ook W en L verkleinen. Specificaties van de transistoren in de invertoren zijn gegeven in tabel 3.6 en de transistoren in de bootstrap stage staan in tabel 3.7.

Tabel 3.5: Specificaties voor het aansturen van het nieuwe ontwerp

Naam	Spanning [V]
CLK	-10 tot 20
CLKB	-10 tot 20
IN	-5 tot 10
V_{DD}	10
V_{DDD}	20
V_{SS}	-5

Tabel 3.6: Specificaties van de groottes van de transistoren in de invertor bij het nieuwe ontwerp

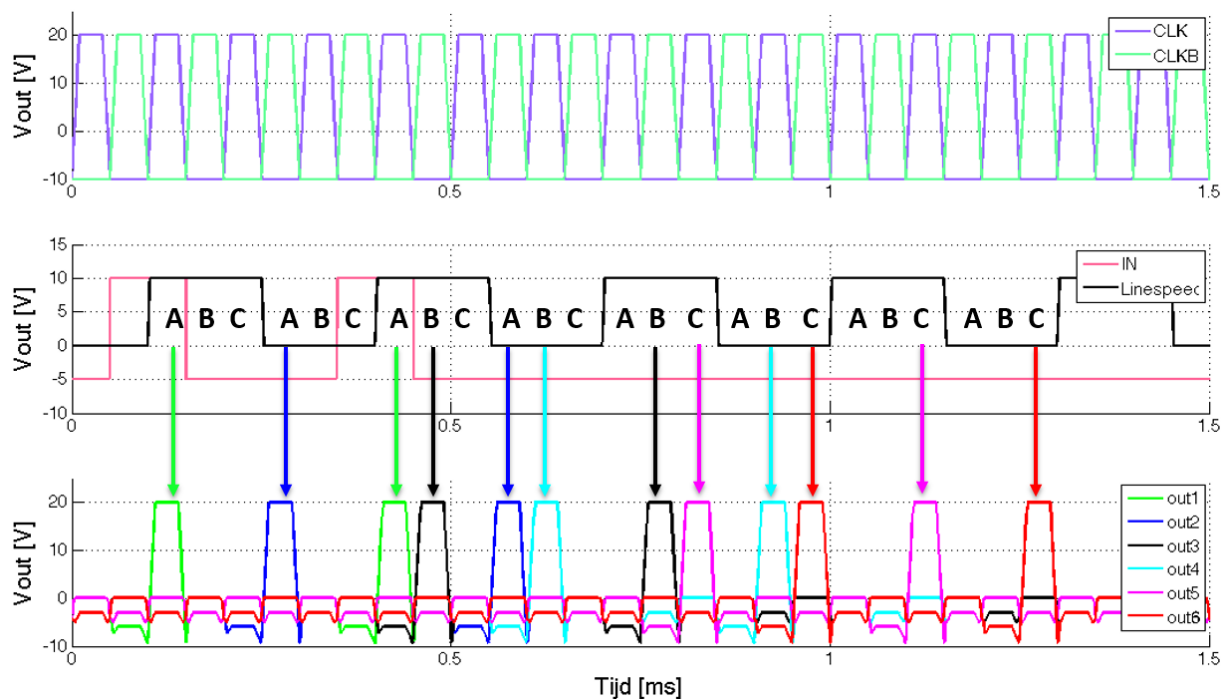
Transistor	W [μm]	L [μm]
T1	5	5
T2	50	5
T3	50	5
T4	50	5

Tabel 3.7: Specificaties van de groottes van de transistoren in de bootstrap stage bij het nieuwe ontwerp

Transistor	W [μm]	L [μm]
T1	65	5
T2	100	5
T3	100	5
T4	65	5
T5	65	5

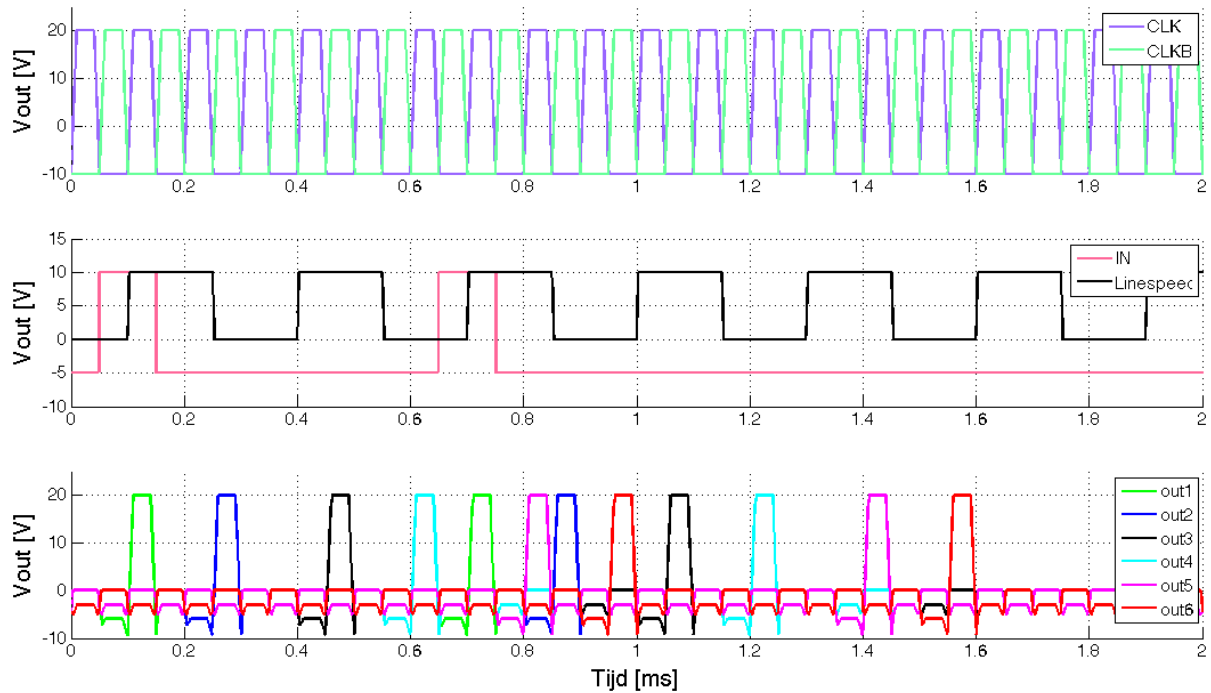
3.2.5 Simulaties

Om te verifiëren dat zowel het idee, als de aansluitingen in het schuifregister kloppen, zijn er enkele simulaties uitgevoerd in het ontwerpprogramma Cadence. Een eerste figuur die hieronder getoond is, is een simulatie waarbij er één blok tussen beide ingangspulsen is. Dit is hetzelfde als het tijdsdiagram in figuur 3.18, maar figuur 3.19 geeft duidelijk weer dat er op geen enkel tijdstip meer dan één uitgang actief is.



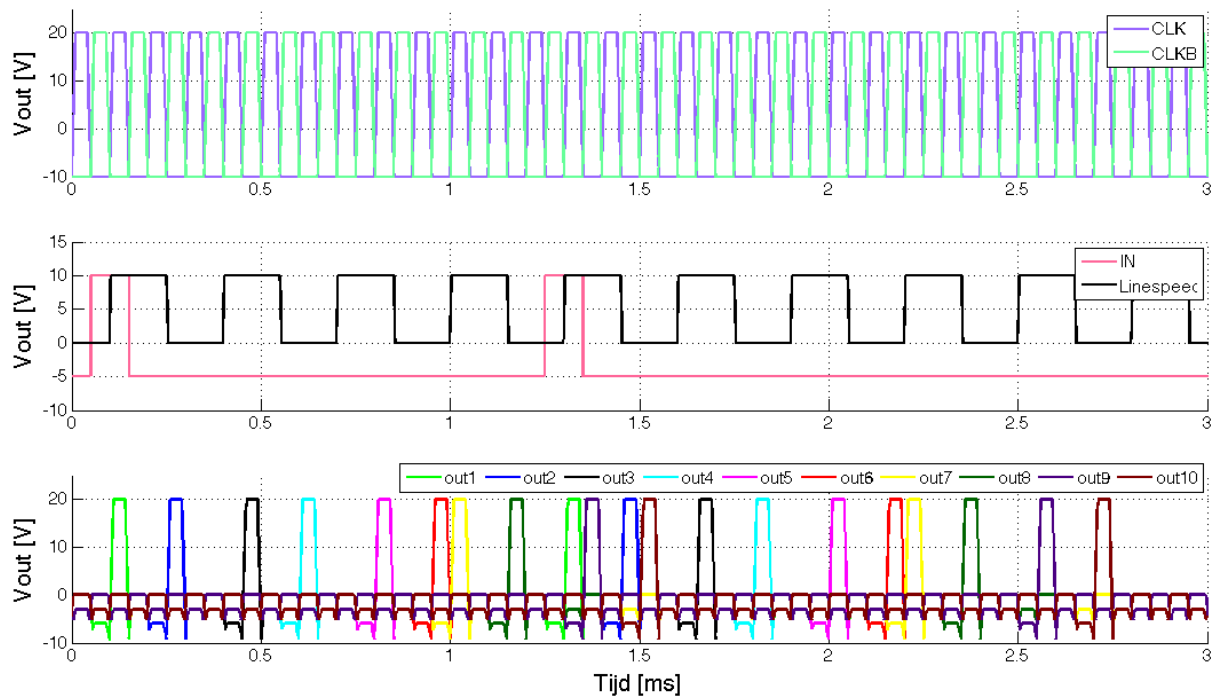
Figuur 3.19: Simulatie één blok tussen twee ingangspulsen

Een tweede simulatie die is uitgevoerd, is een simulatie waarbij de twee ingangspulsen twee blokken van elkaar gescheiden zijn. De tweede ingangspuls mag dus pas gegeven worden, als de eerste ingangspuls in blok C van hetzelfde subframe zit. Op figuur 3.20 is ook duidelijk dat er op geen enkel tijdstip meer dan één uitgang tegelijk wordt aangestuurd.



Figuur 3.20: Simulatie twee blokken tussen twee ingangspulsen

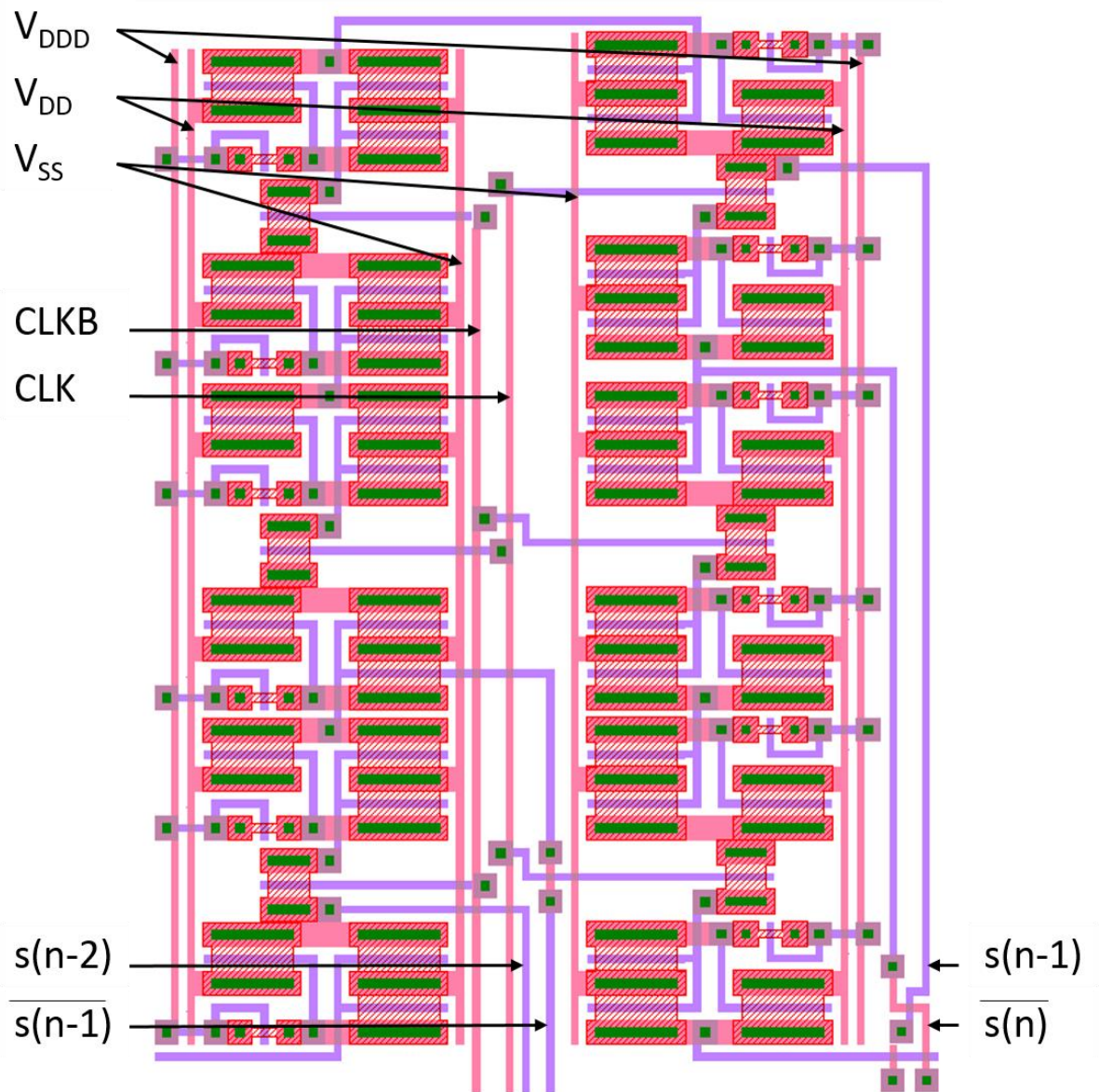
Een laatste simulatie die getoond is in figuur 3.21, is een simulatie waarbij er vier blokken tussen beide ingangspulsen zijn. De simulaties waarbij het aantal blokken tussen de twee ingangspulsen gelijk is aan 8 of 16, zijn niet meer zichtbaar en zijn bijgevolg niet meer getoond.



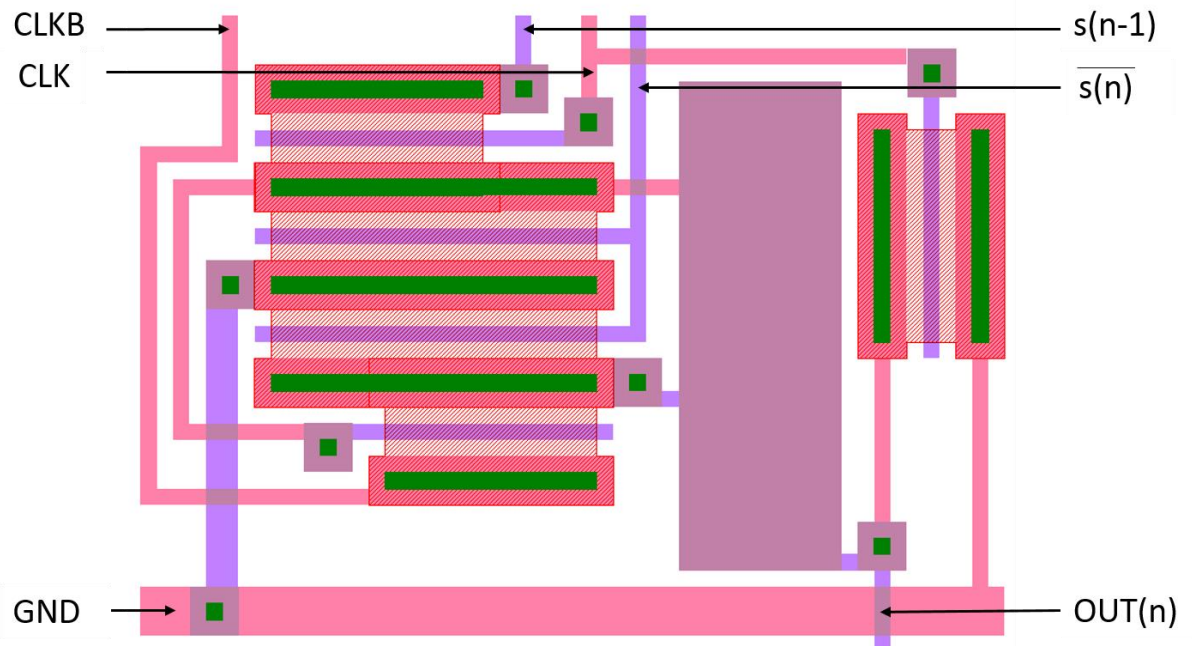
Figuur 3.21: Simulatie vier blokken tussen twee ingangspulsen

3.2.6 Lay-out

De lay-out van blok A in het schuifregister is gegeven in figuur 3.22. In figuur 3.23 is de lay-out van een bootstrap stage waarbij de uitgang afhankelijk is van CLKB getoond. De pitch bij deze lay-out is gelijk aan $270\ \mu\text{m}$. Dit komt overeen met een resolutie van 94 pixels per inch (ppi). De totale hoogte van de lay-out is 1.9 mm. Op de figuren is slechts een aftakking van de voedingsbanen getoond. De effectieve voedingsbanen lopen horizontaal boven en onder het shiftregister. V_{DDD} en V_{SS} hebben een dikte van $300\ \mu\text{m}$, alle andere voedingsbanen hebben een dikte van $100\ \mu\text{m}$. V_{DDD} en V_{SS} zijn dikker gemaakt omdat deze meer stroom trekken.



Figuur 3.22: Lay-out schuifregister (blok A)



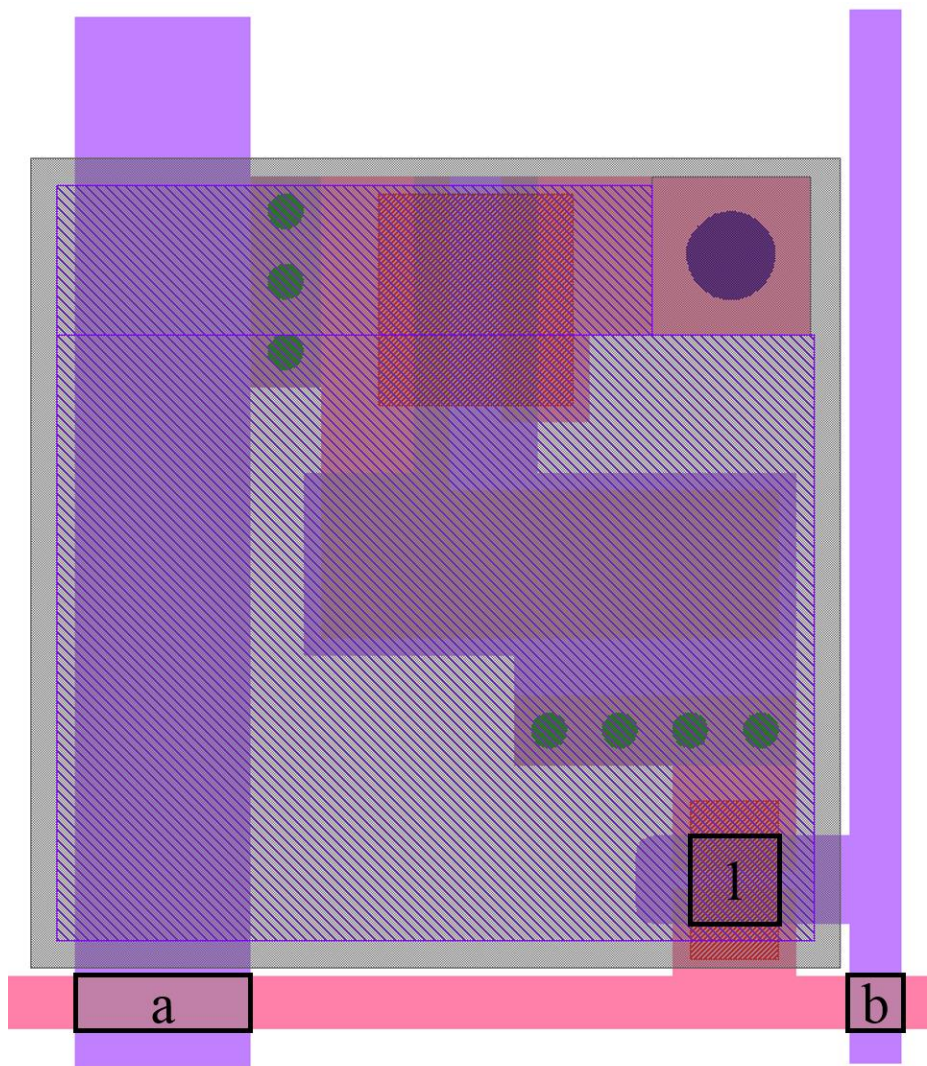
Figuur 3.23: Lay-out bootstrap stage waarbij OUT(n) afhankelijk is van CLKB

4 Invloed van het pixel ontwerp

Het ontwerp van een pixel in een bepaalde technologie heeft een grote invloed op de parasitaire capaciteiten. In dit hoofdstuk zijn de parasitaire capaciteiten berekend voor de ESL en de SA technologie. Er is ook een optimalisatie van het ontwerp van de pixels gegeven waarbij de parasitaire capaciteiten dalen.

4.1 Berekening ESL technologie

Bij het aansturen van een pixel in de ESL technologie (figuur 4.1), moet er een gatecapaciteit (1) en twee overlapcapaciteiten (a-b) opgeladen worden. Dit ontwerp komt van referentie [25]. Voor ESL is het aangeraden om een zwart-wit beeldscherm te maken, anders wordt de lastcapaciteit te groot.



Figuur 4.1: Typische lay-out van een pixel in de ESL technologie

De afmetingen van de capaciteiten zijn de volgende:

- Gate: 25 μm x 25 μm
- Overlap a: 50 μm x 15 μm
- Overlap b: 15 μm x 15 μm

De formule voor een capaciteit is gegeven in vergelijking 4.1 en de formule voor de permittiviteit is gegeven in vergelijking 4.2:

$$C = \frac{\varepsilon * A}{t_{ox}} \quad (4.1)$$

$$\varepsilon = \varepsilon_r * \varepsilon_0 \quad (4.2)$$

Waarbij: C = capaciteit in [F]
 ε = permittiviteit in [F/m]
A = oppervlakte in [m^2]
 t_{ox} = dikte van het oxide in [m]
 ε_r = relatieve permittiviteit [/]
 ε_0 = elektrische veldconstante in [F/m] = $8.854187817 \cdot 10^{-12}$ F/m

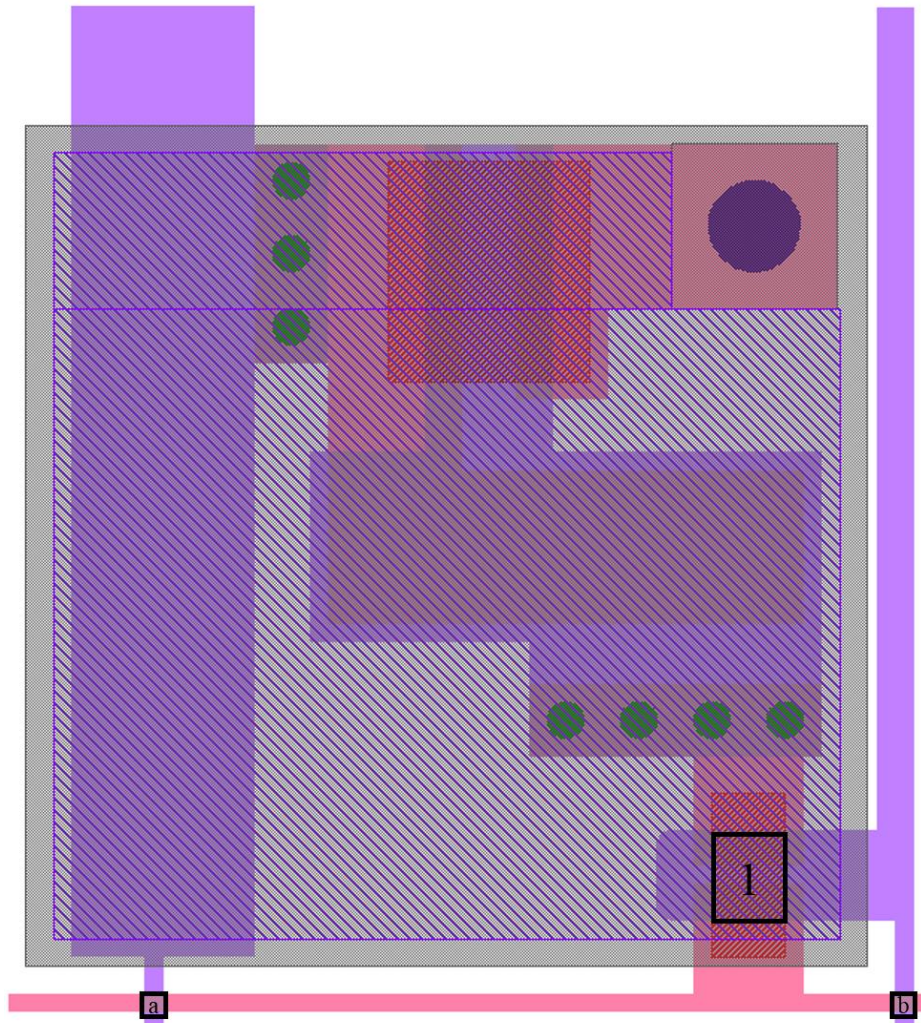
Het materiaal dat gebruikt is bij de gatecapaciteit is 200 nm SiO₂ met een relatieve permittiviteit van 3.9 [26]. Voor de overlapcapaciteiten is dit ook SiO₂, maar met een dikte van 300 nm. Tabel 4.1 geeft de groottes van de verschillende parasitaire capaciteiten weer. De totale parasitaire capaciteit van één pixel is gelijk aan 220.14 fF. In een FHD beeldscherm zitten er in een verticale lijn 1920 pixels. De totale lastcapaciteit per lijn is 422.7 pF.

Tabel 4.1: Groottes van de parasitaire capaciteiten in de ESL technologie

	A [μm^2]	ε_r [/]	t_{ox} [nm]	C _{par} [fF]
Gate	625	3.9	200	107.91
Overlap a	750	3.9	300	86.33
Overlap b	225	3.9	300	25.90

Optimalisatie van de gatecapaciteit en overlapcapaciteit

In een optimaal ontwerp is het mogelijk om de gate een grootte te geven van 25 μm x 20 μm . De overlappen hebben dan een grootte van 5 μm x 5 μm . Figuur 4.2 toont de lay-out van een geoptimaliseerde pixel in de ESL technologie. In Tabel 4.2 zijn de verschillende groottes van de parasitaire capaciteiten na optimalisatie van de pixel voorgesteld. In een optimaal ontwerp van een pixel in de ESL technologie is de lastcapaciteit per lijn van 1920 pixels 176.8 pF. Dit is 2.4 keer kleiner dan het originele ontwerp.



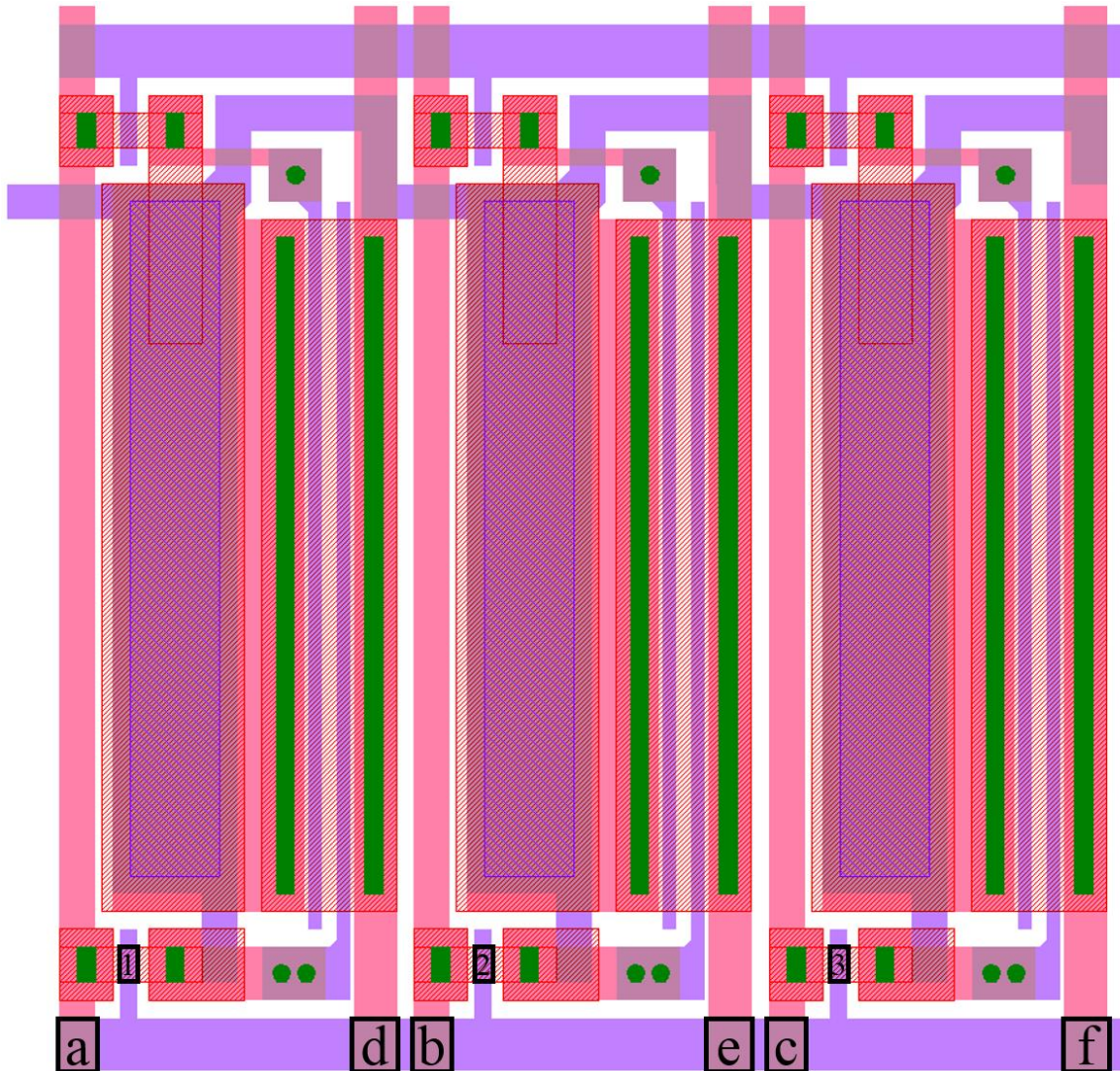
Figuur 4.2: Lay-out van een geoptimaliseerde pixel in de ESL technologie

Tabel 4.2: Groottes van de parasitaire capaciteiten in de ESL technologie na optimalisatie van de pixel

	A [μm^2]	ϵ_r [/]	t_{ox} [nm]	C_{par} [fF]
Gate	500	3.9	200	86.33
Overlap a	25	3.9	300	2.88
Overlap b	25	3.9	300	2.88

4.2 Berekening SA technologie

Bij het aansturen van een RGB-pixel (figuur 4.3) moeten er drie gatecapaciteiten (1-3) en zes overlapcapaciteiten (a-f) opgeladen worden. Dit ontwerp komt van referentie [27].



Figuur 4.3: Typische lay-out van een pixel in de SA technologie

De afmetingen van deze capaciteiten zijn de volgende:

- Gate: $5\ \mu\text{m} \times 10\ \mu\text{m}$
- Overlap a, b en c: $10\ \mu\text{m} \times 15\ \mu\text{m}$
- Overlap d, e en f: $12\ \mu\text{m} \times 15\ \mu\text{m}$

Het materiaal dat gebruikt is bij de gatecapaciteit is $100\ \text{nm SiO}_2$ met een relatieve permittiviteit van 3.9. Voor de overlapcapaciteit is $400\ \text{nm Si}_3\text{N}_4$ gebruikt met een relatieve permittiviteit van 7.0 [28]. Met vergelijking 4.1 en 4.2 is het mogelijk om de gatecapaciteit en

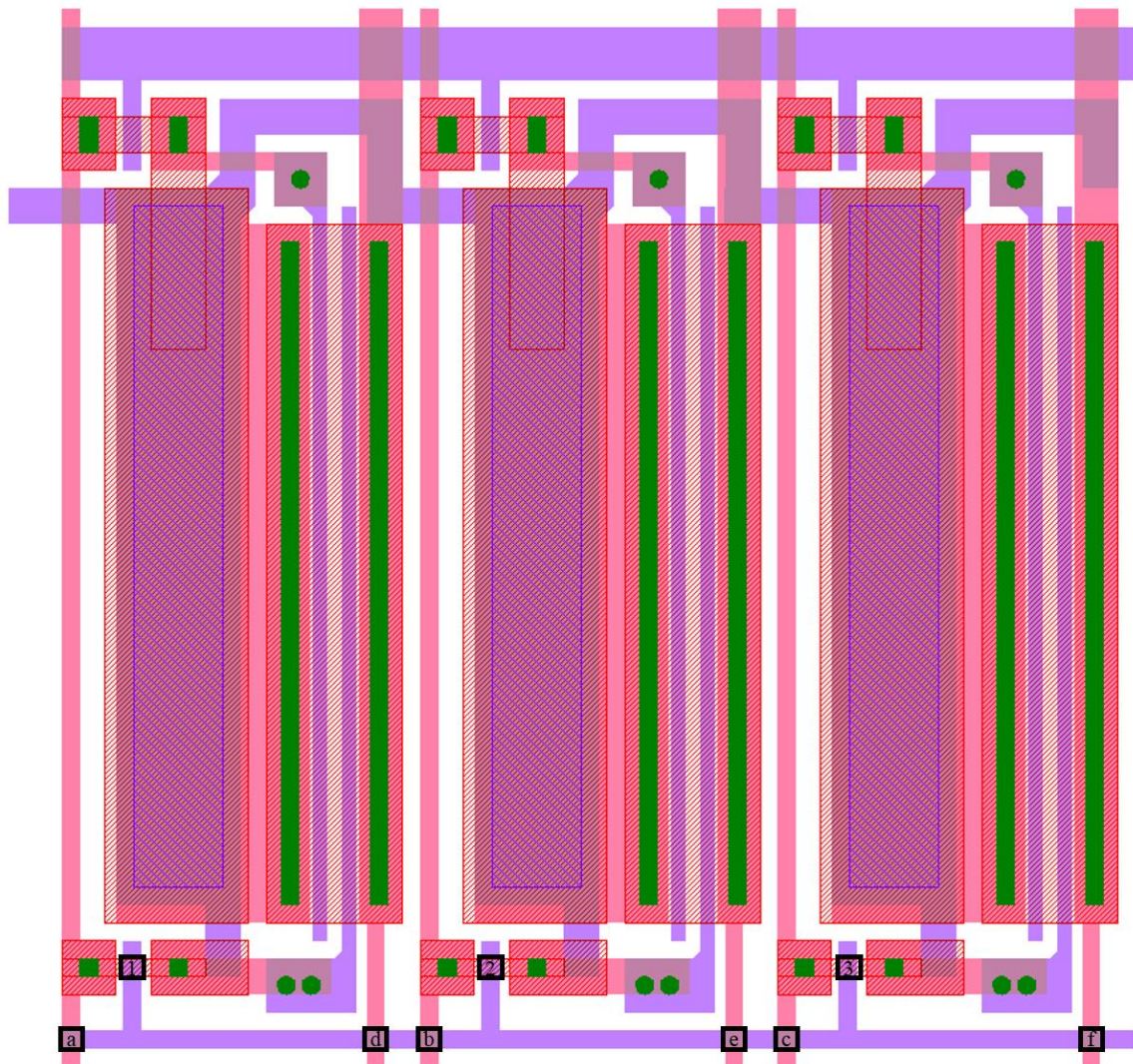
de overlapcapaciteiten te berekenen. Dit is weergegeven in Tabel 4.3. De totale parasitaire capaciteit van één pixel is gelijk aan 205.17 fF. De totale lastcapaciteit per lijn is 393.9 pF.

Tabel 4.3: Groottes van de parasitaire capaciteiten in de SA technologie

	A [μm^2]	ϵ_r [/]	t_{ox} [nm]	C_{par} [fF]
Gate	50	3.9	100	17.26
Overlap a, b en c	150	7.0	400	23.24
Overlap e, d en f	180	7.0	400	27.89

Optimalisatie van de gatecapaciteit en overlapcapaciteit

Het loont de moeite om de gate en de overlap zo klein mogelijk te houden, namelijk beide $5 \mu\text{m} \times 5 \mu\text{m}$. De lay-out van een geoptimaliseerde pixel in de SA technologie is getoond in Figuur 4.4. Tabel 4.4 geeft de verschillende parasitaire capaciteiten weer. De totale lastcapaciteit van een lijn is 94.3 pF. Na optimalisatie van de pixel is de totale lastcapaciteit bijna 4.2 kleiner dan de totale lastcapaciteit van de originele lay-out. Bovendien is dit significant kleiner dan de lastcapaciteit in de ESL technologie. Een sub pixel in de ESL technologie heeft een parasitaire capaciteit van 92.1 fF en in de SA technologie is dit maar 16.4 fF.



Figuur 4.4: Lay-out van een geoptimaliseerde pixel in de SA technologie

Tabel 4.4: Groottes van de parasitaire capaciteiten in de SA technologie na optimalisatie van de pixel

	A [μm^2]	ϵ_r [/]	t_{ox} [nm]	C_{par} [fF]
Gate	25	3.9	100	8.63
Overlap a, b en c	25	7.0	400	3.87
Overlap e, d en f	25	7.0	400	3.87

5 Resultaten

In Cadence zijn verschillende simulaties gegenereerd, met de data hiervan zijn shmoo plots gemaakt. Een shmoo plot is een grafiek die aangeeft of een bepaalde test slaagt of mislukt [29]. Met behulp van shmoo plots kan het effect van verschillende parameters op de snelheid worden aangetoond. In dit hoofdstuk zijn de testen opgesteld op basis van een bepaalde voedingsspanning en bij een bepaalde frequentie, die evenredig is met de refresh rate. De refresh rate is het aantal keer dat de line driver alle pixels kan verversen.

Voor alle shmoo plots in dit hoofdstuk is een test geslaagd als de uitgangsspanning 90% van de spanning van de klokpulsen haalt. Dit is weergegeven met een groen puls teken. De spanning van de klokpulsen is twee keer zo groot als V_{DD} . Indien de uitgangsspanning geen 90% van de spanning van de klokpulsen haalt, voldoet de uitgangsspanning niet aan de voorwaarden en is de test afgekeurd. Dit is aangeduid op de shmoo plots met een rood kruisje.

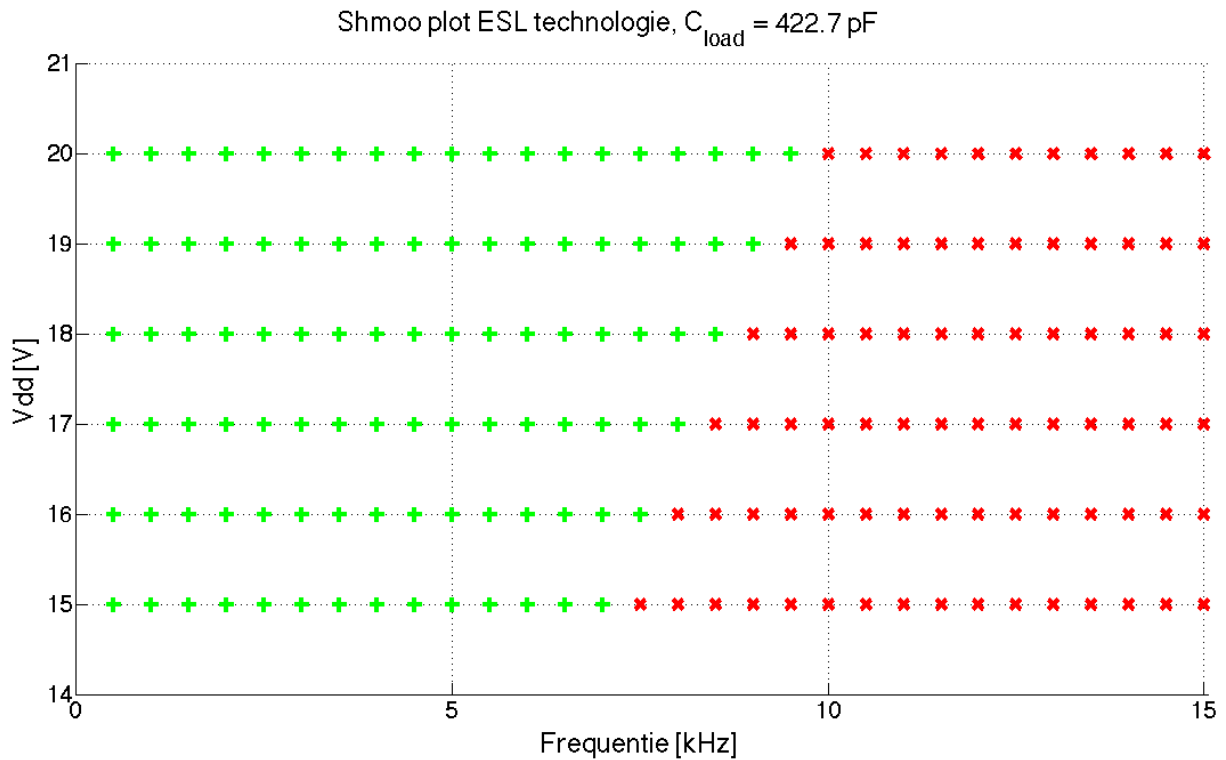
Naast de maximale frequentie van de line driver is het totale vermogenverbruik een tweede interessante parameter. Het totale vermogenverbruik is gelijk aan het vermogenverbruik van het schuifregister plus het vermogenverbruik van de bootstrap stage. Het vermogen in het schuifregister wordt geleverd door de voedingsspanningen V_{DD} en V_{DDD} . In de bootstrap stage komt het vermogen van de kloklijnen zoals eerder vermeld in hoofdstuk 3.1.2.

5.1 ESL technologie versus SA technologie

5.1.1 ESL technologie

De eerste shmoo plot (figuur 5.1) gebruikt de ESL technologie. Hierbij is er vanuit gegaan dat de line driver een FHD beeldscherm moet aansturen. De lastcapaciteit is 422.7 pF, zoals eerder berekend in hoofdstuk 4.1.

De voedingsspanning varieert van 15 V tot en met 20 V in stappen van 1 V. De frequentie varieert van 500 Hz tot en met 15 kHz in stappen van 500 Hz. De maximale frequentie voor een voedingsspanning van 15 V is 7 kHz. Bij een voedingsspanning van 20 V is de maximale frequentie 9.5 kHz.

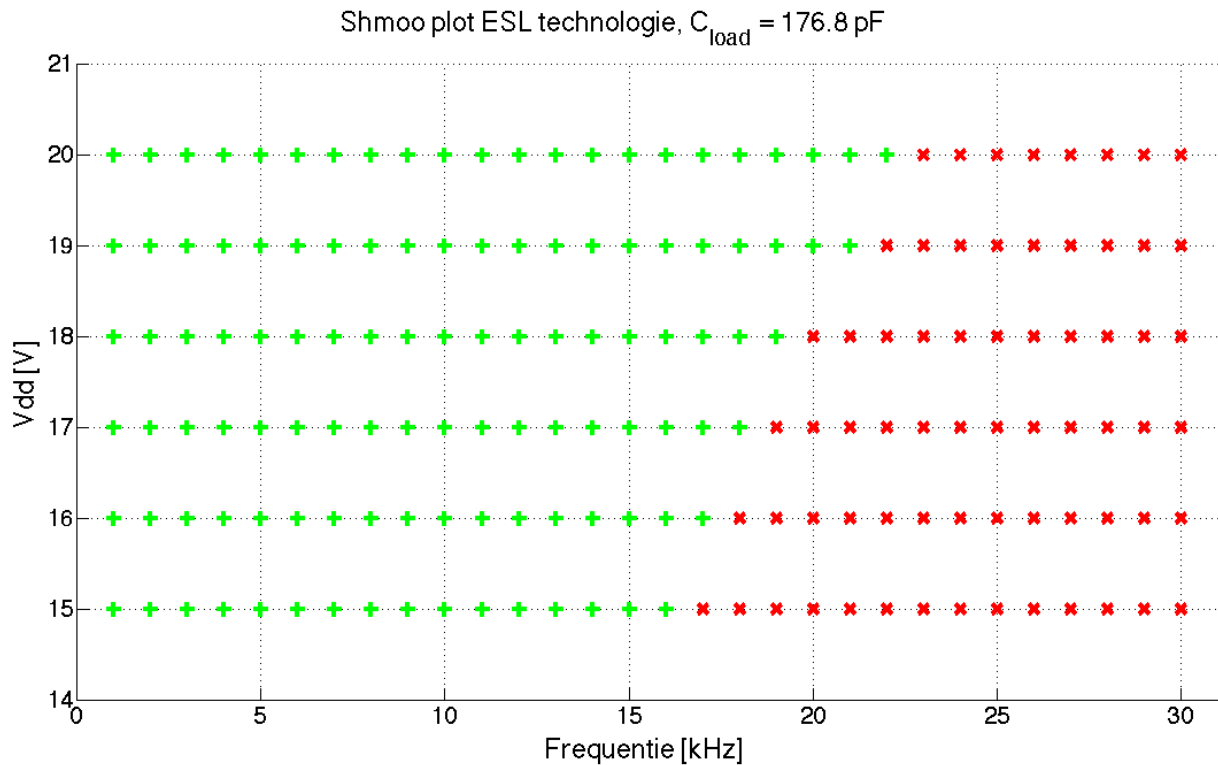


Figuur 5.1: Shmoo plot ESL technologie, $C_{load} = 422.7 \text{ pF}$

Optimalisatie pixels

Zoals reeds besproken in hoofdstuk 4.1 is het mogelijk om de lastcapaciteit van een lijn van pixels te verkleinen tot 176.8 pF door een wijziging in de lay-out van de pixel. De frequentie op figuur 5.2 varieert van 1 kHz tot en met 30 kHz in stappen van 1 kHz .

Door een aanpassing van de oppervlakte van de gate en de oppervlakte van de overlappen, is de maximale frequentie gestegen. Op de shmoo plot in figuur 5.2 is te zien dat de maximum frequentie 22 kHz is bij een voedingsspanning van 20 V . Voor een voedingsspanning van 15 V is de maximum frequentie 16 kHz .



Figuur 5.2: Shmoo plot ESL technologie, $C_{load} = 176.8 \text{ pF}$

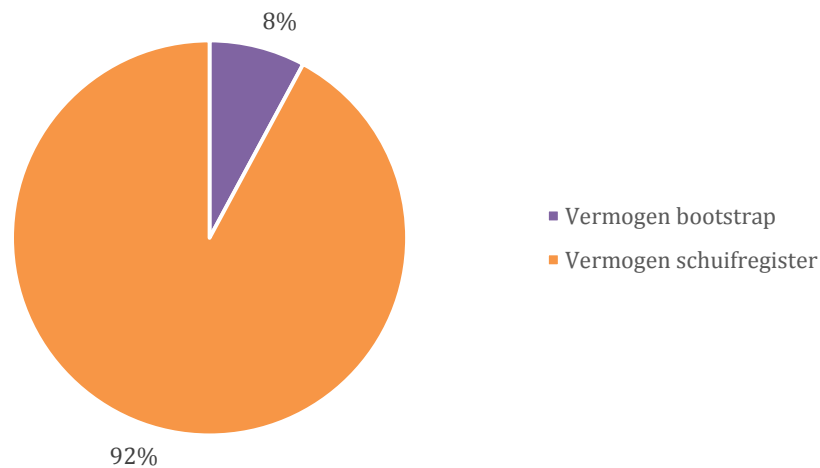
Vermogenverbruik

Het totale vermogenverbruik per lijn in de ESL technologie is getoond in tabel 5.1. Dit vermogenverbruik hoort bij een frequentie van 5 kHz. Het procentuele vermogenverbruik, weergegeven in figuur 5.3, is gemiddeld 92% voor het schuifregister en 8% voor de bootstrap stage. De voedingsspanningen V_{DD} en V_{DDD} moeten meer vermogen leveren dan de kloklijnen.

Tabel 5.1: Totaal vermogenverbruik per lijn in de ESL technologie

Spanning [V]	Totaal vermogenverbruik per lijn [mW]
15	17.5
16	21.5
17	26.0
18	31.2
19	37.1
20	43.8

Procentueel vermogenverbruik in de ESL technologie



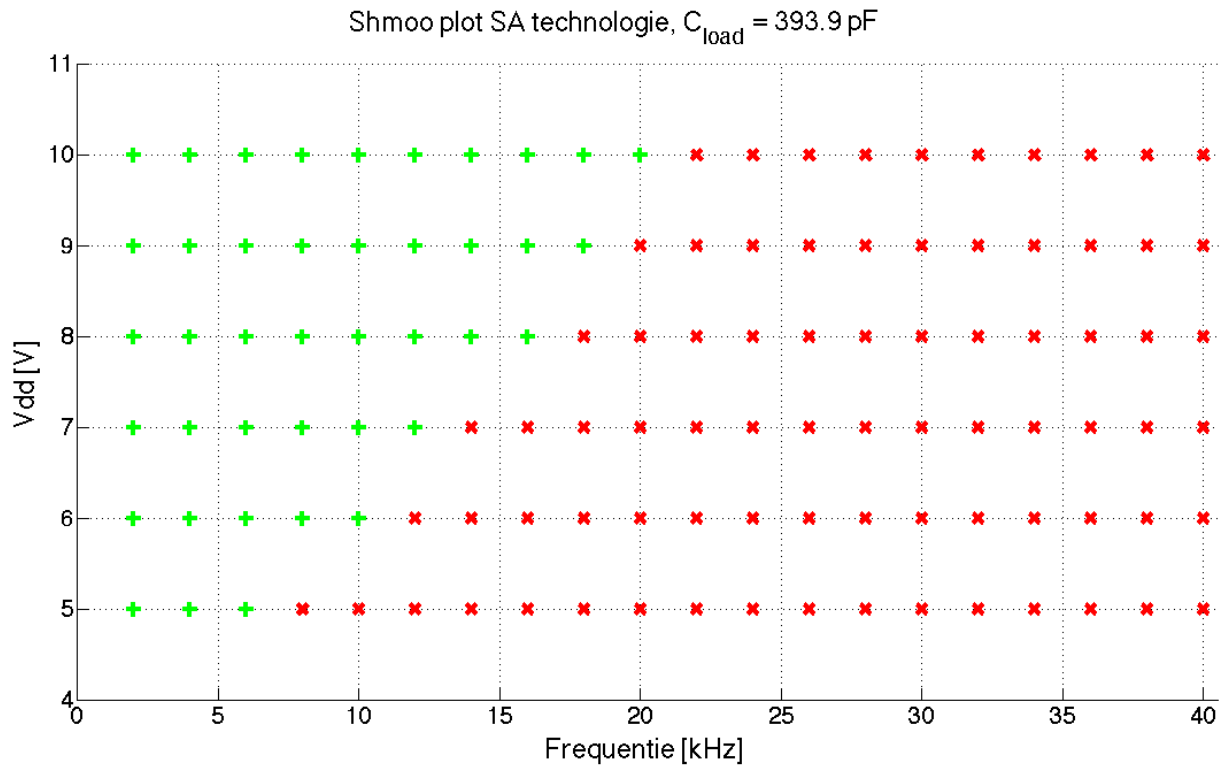
Figuur 5.3: Procentueel vermogenverbruik in de ESL technologie

5.1.2 SA technologie

Voor de volgende shmoo plots, is de SA technologie gebruikt. Deze line driver moet, net zoals de line driver die gemaakt is in de ESL technologie, een FHD beeldscherm aansturen met 1920 pixels per lijn. De eerste shmoo plot die hieronder gegeven is, is gebaseerd op de berekening van de originele lay-out. Hierbij was de totale lastcapaciteit gelijk aan 393.9 pF.

In tegenstelling tot de ESL technologie varieert de voedingsspanning hier maar tussen 5 V en 10 V. Dit is te wijten aan de dikte van gatediëlectricum, dat in de ESL technologie 200 nm bedraagt en 100 nm in de SA technologie. Hierdoor verhoogt de stroom bij dezelfde spanning. Om te voorkomen dat een transistor doorbrandt door Jouleverliezen, moet de voedingsspanning gehalveerd worden.

De voedingsspanning in figuur 5.4 varieert van 5 V tot en met 10 V in stappen van 1 V. De frequentie varieert van 2 kHz tot en met 40 kHz in stappen van 2 kHz. De maximale frequentie bij een voedingsspanning van 5 V is 6 kHz. Bij een voedingsspanning van 10 V is de maximale frequentie gestegen tot 20 kHz. Het is duidelijk dat er in de SA technologie hogere frequenties kunnen behaald worden op een lagere voedingsspanning.

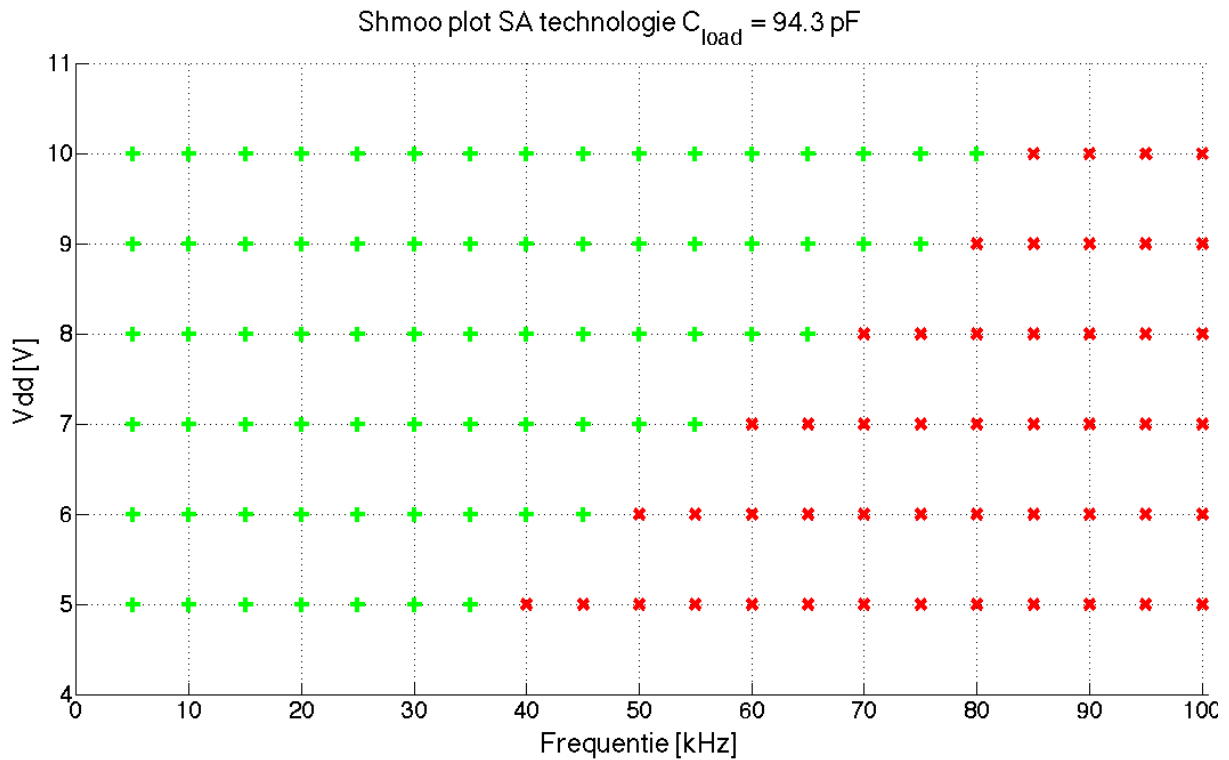


Figuur 5.4: Shmoo plot SA technologie, $C_{load} = 393.3 \text{ pF}$

Optimalisatie pixels

De totale lastcapaciteit per lijn van pixels is 94.3 pF na optimalisatie van de pixels (hoofdstuk 4.2). Voor onderstaande shmoo plot (figuur 5.5) gelden dezelfde voorwaarden als de test hierboven. De frequentie varieert van 5 kHz tot en met 100 kHz in stappen van 5 kHz . Hier zijn grotere stappen genomen omdat er anders te veel punten op de shmoo plot zouden staan.

Door een relatief eenvoudige optimalisatie van de oppervlakte van de gate en de overlap, stijgt de maximum frequentie aanzienlijk tot 80 kHz bij een voedingsspanning van 10 V . In tegenstelling tot een maximum frequentie van 20 kHz zonder optimalisatie is dit een verbetering. Zelfs bij een voedingsspanning van 5 V is de maximum frequentie gestegen tot 35 kHz . Tabel 5.2 geeft een overzicht van de maximale frequenties in de ESL technologie en de SA technologie voor een referentie pixel en een optimaal pixel.



Figuur 5.5: Shmoo plot SA technologie, $C_{load} = 94.3 \text{ pF}$

Tabel 5.2: Maximale frequenties in de ESL technologie en de SA technologie

	ESL (20V/15V)	SA (10V/5V)
Referentie pixel	9.5 kHz / 7 kHz	20 kHz / 6 kHz
Optimale pixel	22 kHz / 16 kHz	80 kHz / 35 kHz

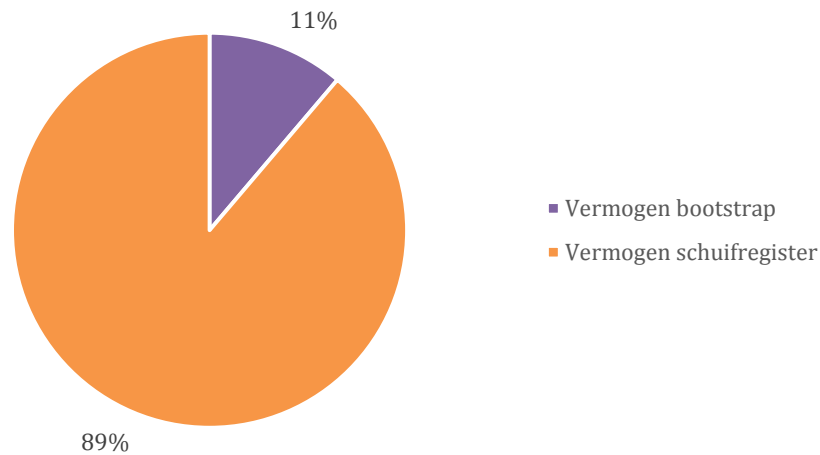
Vermogenverbruik

Het totale vermogenverbruik per lijn in de SA technologie is weergegeven in tabel 5.3. Om een juiste vergelijking te kunnen maken met de ESL technologie, hoort dit vermogenverbruik ook bij een frequentie van 5 kHz. Het vermogenverbruik in de SA technologie ligt lager dan in de ESL technologie. Dit is te wijten aan de lagere voedingsspanningen. Het procentuele vermogenverbruik (figuur 5.6) tussen schuifregister en bootstrap stage is ongeveer hetzelfde als in de ESL technologie.

Tabel 5.3: Totaal vermogenverbruik per lijn in de SA technologie

Spanning [V]	Totaal vermogenverbruik per lijn [mW]
5	2.8
6	4.5
7	6.9
8	10.0
9	14.2
10	19.4

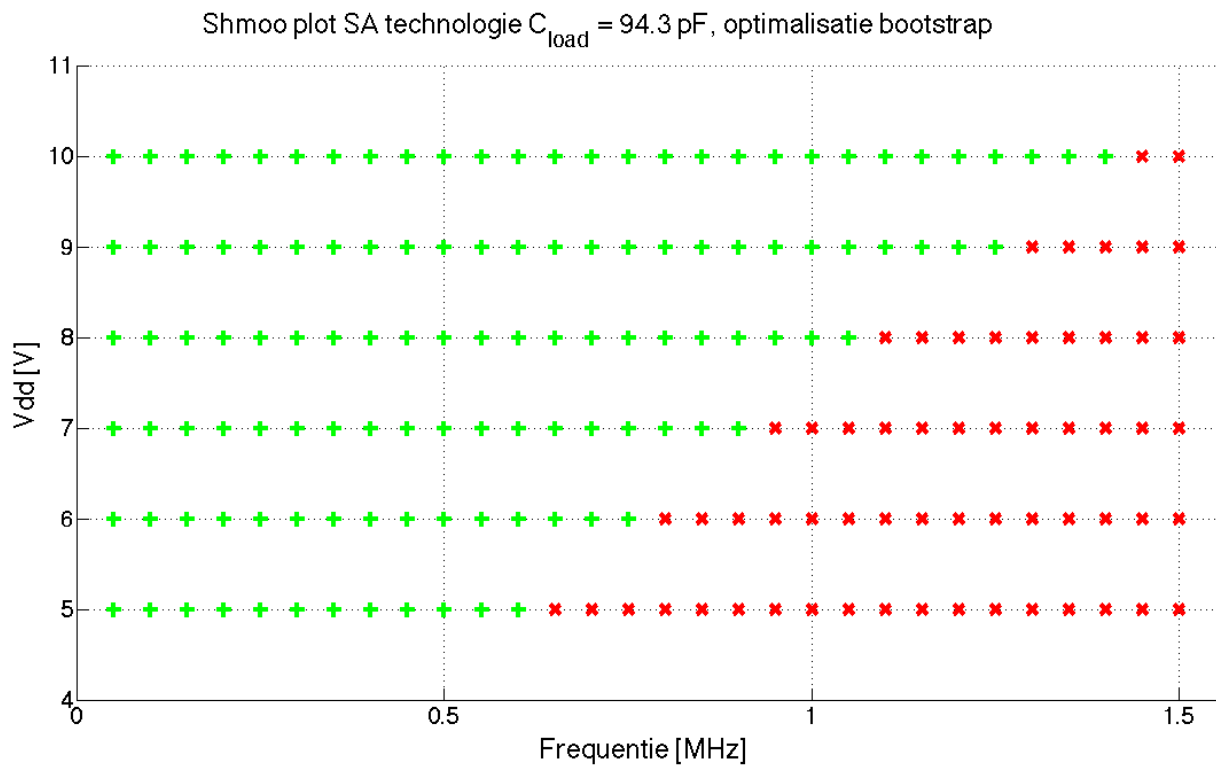
Procentueel vermogenverbruik in de SA technologie



Figuur 5.6: Procentueel vermogenverbruik in de SA technologie

Optimalisatie bootstrap stage

Transistor T1 in figuur 3.6 zorgt voor het opladen van de uitgang. Door deze transistor groter te maken, kan de uitgang sneller opladen. Het ontladen gebeurt snel genoeg om hogere snelheden aan te kunnen. De transistor mag maximaal 1 mm breed zijn, omdat de niet-actieve schermrand anders te groot zou worden. Transistor T1 is een factor 15 groter gemaakt. De transistor is 975 μm breed en de totale breedte van de niet-actieve schermrand is 6.2 mm. Figuur 5.7 is de shmoo plot hiervan. De frequentie varieert van 50 kHz tot en met 1,5 MHz in stappen van 50 kHz. Tabel 5.4 geeft de maximale frequenties weer bij een optimale pixel en een optimale bootstrap stage. Bij de optimale bootstrap stage is de optimale pixel ook gebruikt.



Figuur 5.7: Shmoo plot SA technologie, $C_{load} = 94.3 \text{ pF}$, optimalisatie bootstrap

Tabel 5.4: Maximale frequenties bij een optimale pixel en optimale bootstrap

	SA (10V/5V)
Optimale pixel	80 kHz / 35 kHz
Optimale bootstrap	1.4 MHz / 600 kHz

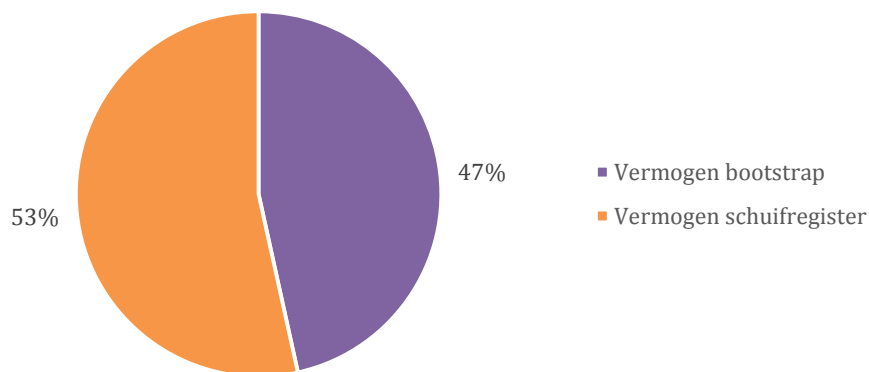
Vermogenverbruik

In tabel 5.5 is het totale vermogenverbruik per lijn in de SA technologie na optimalisatie van de bootstrap stage getoond. Ook dit vermogenverbruik hoort bij een frequentie van 5 kHz. Wat opvalt in figuur 5.8 is dat het vermogenverbruik door de bootstrap stage procentueel gestegen is. Dit is logisch want transistor T1 in de bootstrap stage is groter geworden en vraagt hierdoor meer vermogen. Het vermogenverbruik in het schuifregister daarentegen blijft hetzelfde.

Tabel 5.5: Totaal vermogenverbruik per lijn in de SA technologie na optimalisatie bootstrap stage

Spanning [V]	Totaal vermogenverbruik per lijn [mW]
5	4.5
6	7.4
7	11.5
8	16.9
9	24.1
10	33.1

Procentueel vermogenverbruik in de SA technologie na optimalisatie bootstrap stage



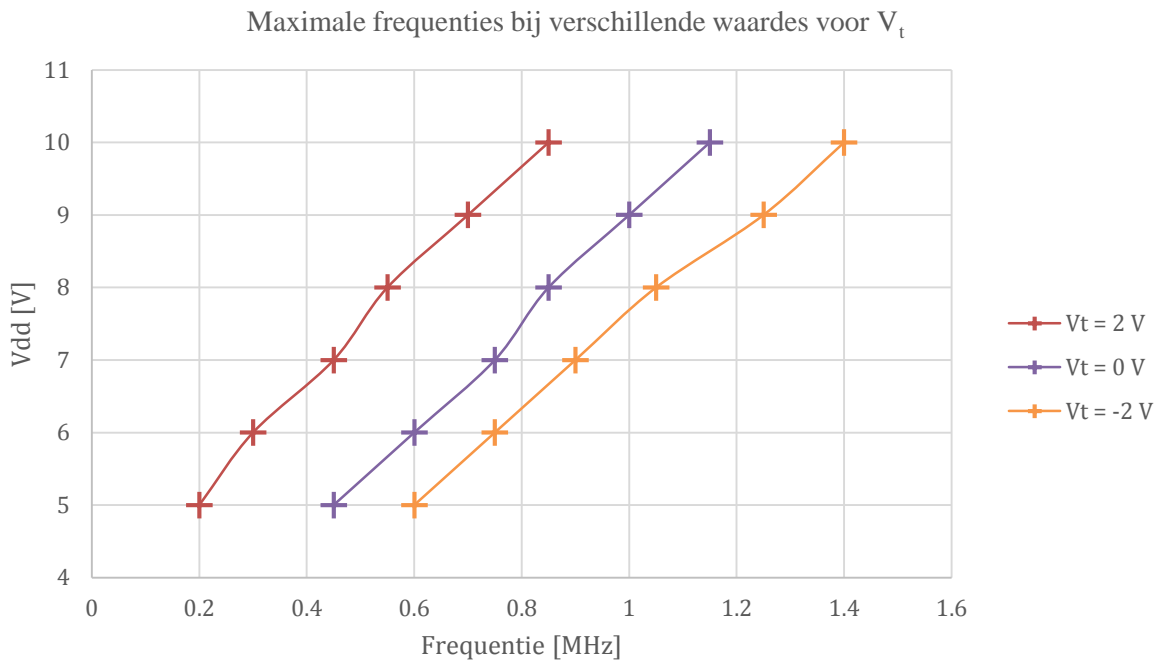
Figuur 5.8: Procentueel vermogenverbruik in de SA technologie na optimalisatie bootstrap stage

5.2 Verschillende waarden voor V_t

Een interessante vergelijking in shmoo plots is de vergelijking van verschillende waarden voor V_t . De vergelijking is gemaakt voor een V_t gelijk aan -2 V, 0 V en 2 V. Hierbij is uitgegaan van zowel een optimalisatie van de pixels, als een optimalisatie van de bootstrap stage. De lastcapaciteit bedraagt 94.3 pF en de transistor die de uitgang oplaadt heeft een breedte van 975 μm . Een V_t gelijk aan 0 V heeft een negatieve invloed op de maximum frequentie. Deze daalt bij een voedingsspanning van 10 V tot 1.15 MHz. Voor een voedingsspanning van 5 V is dit 450 kHz.

Bij V_t gelijk aan 2 V is de maximum frequentie verder gedaald ten opzichte van een V_t van -2 V. Bij een lage voedingsspanning van 5 V is de maximum frequentie 200 kHz. Voor de hoogst toelaatbare voedingsspanning van 10 V is de maximum frequentie gedaald van 1.4 MHz naar 850 kHz.

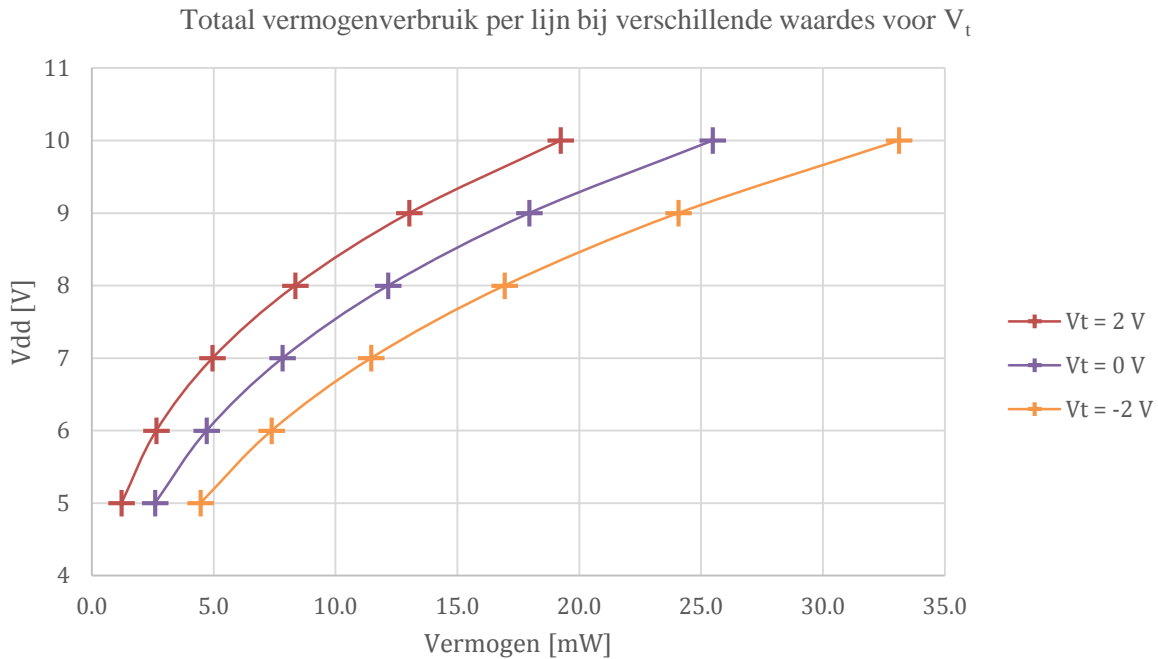
Op onderstaande figuur zijn enkel de maximale frequenties getoond per voedingsspanning van de verschillende waarden voor V_t . Hier is heel duidelijk op te zien dat hoe lager V_t is, hoe groter de maximale frequenties kan zijn. Wat opvalt is dat de relatieve verandering in frequentie groter is bij een lage V_{DD} . Dit is logisch, want de stroom is mede afhankelijk van de factor $V_{DD} - V_t$.



Figuur 5.9: Maximale frequenties bij verschillende waarden voor V_t

Vermogenverbruik

In figuur 5.10 is het totaal vermogenverbruik per lijn getoond bij verschillende waarden van V_t . De frequentie is 5 kHz. Wat opvalt is dat bij een lage V_t van -2 V het vermogenverbruik hoger ligt dan bij een V_t gelijk aan 2 V. Bij een lagere V_t wordt er meer stroom getrokken uit de voedingen en dus ligt het vermogenverbruik hoger. De verhouding tussen het vermogenverbruik van het schuifregister en de bootstrap stage is voor alle verschillende waarden van V_t ongeveer gelijk.



Figuur 5.10: Totaal vermogenverbruik per lijn bij verschillende waarden voor V_t

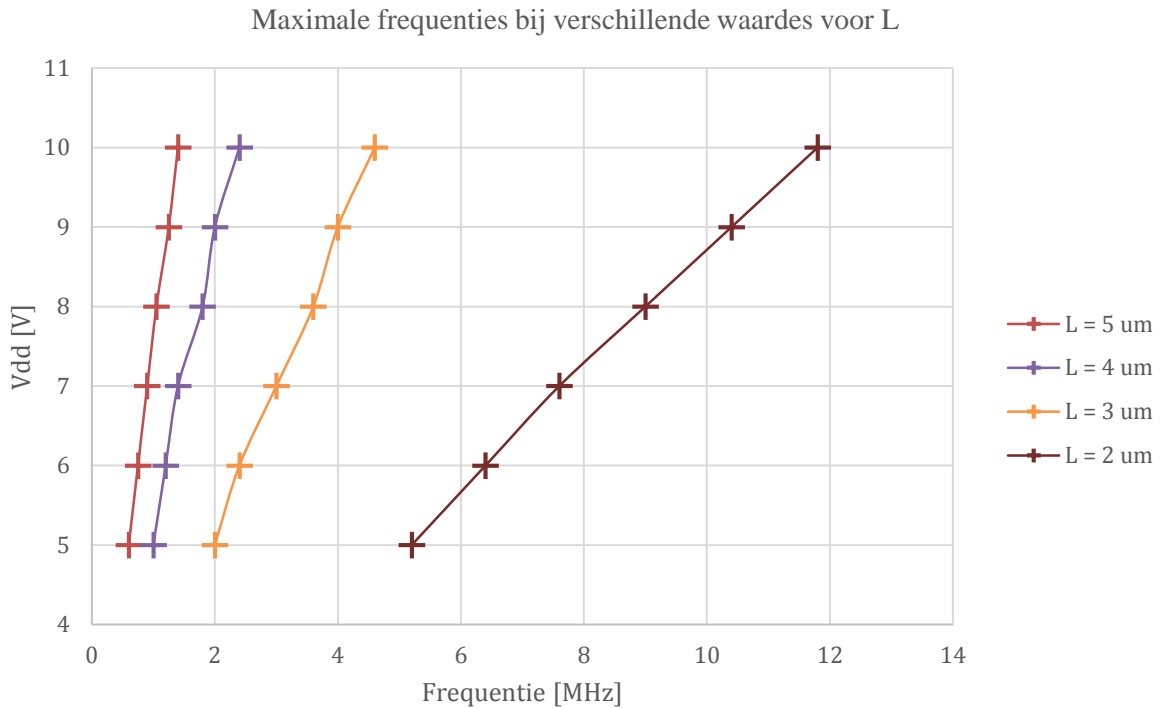
5.3 Verschillende waarden voor L

Een derde mogelijke vergelijking, is de vergelijking tussen verschillende waarden voor L. Bij de lay-out van de nieuwe line driver is L gelijk aan $5\ \mu\text{m}$, maar dit kan kleiner. Binnen imec is het momenteel mogelijk om L tot $2\ \mu\text{m}$ te verkleinen. Bij $2\ \mu\text{m}$ is de transistor nog stabiel, als L nog kleiner gemaakt wordt, is de kans op fouten tijdens het produceren te groot. Door L te verkleinen, kan de oppervlakte van de gate en de overlappen verkleinen. Hierdoor verkleint ook de lastcapaciteit van een pixelrij. In tabel 5.6 is de lastcapaciteit bij een bepaalde waarde van L gegeven.

Tabel 5.6: Lastcapaciteit bij een bepaalde waarde voor L

L [μm]	C_{load} [pF]
5	94.3
4	60.4
3	34.0
2	15.1

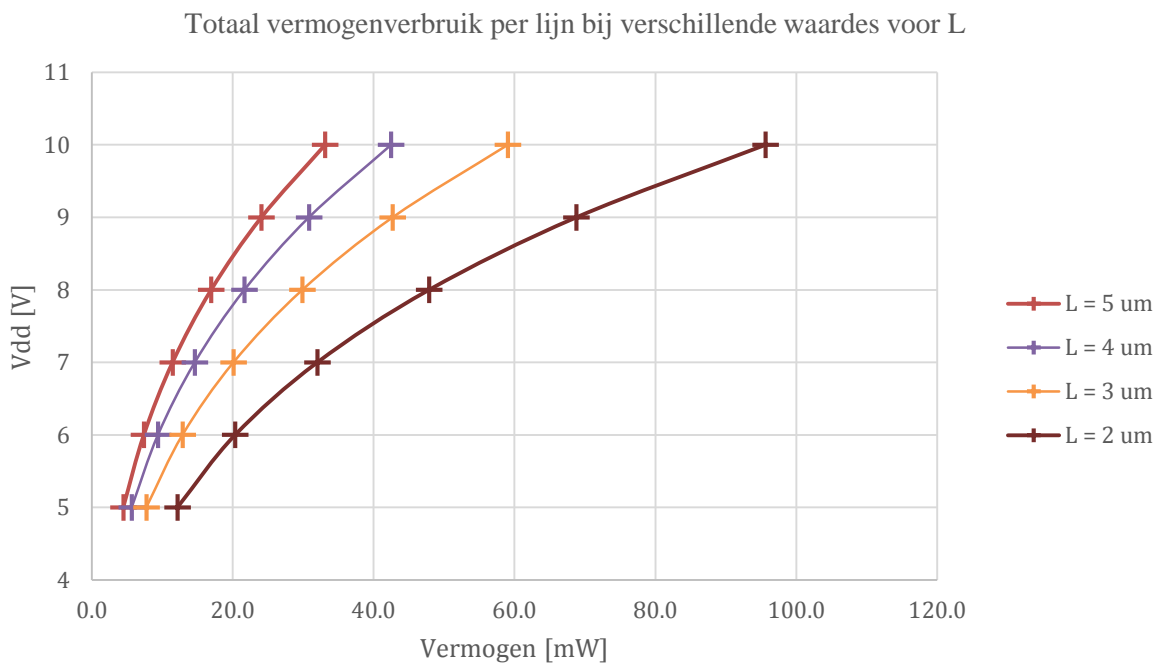
De frequentie is omgekeerd evenredig met L^2 . Het is duidelijk dat de maximale frequentie stijgt naarmate L daalt. Dit geldt bij alle voedingsspanningen. De maximale frequentie bij een voedingsspanning van $10\ \text{V}$ voor L gelijk aan $2\ \mu\text{m}$ is $11.8\ \text{MHz}$. Voor een FHD beeldscherm komt dit overeen met een frame rate van $256\ \text{Hz}$. Figuur 5.11 geeft een overzicht van de maximale frequenties met verschillende waarden voor L.



Figuur 5.11: Maximale frequenties bij verschillende waarden voor L

Vermogenverbruik

Figuur 5.12 geeft het totale vermogenverbruik per lijn bij verschillende waarden voor L. Wederom is de frequentie 5 kHz. De stroom door de transistoren stijgt als L daalt, met als gevolg dat het vermogenverbruik stijgt.



Figuur 5.12: Totaal vermogenverbruik per lijn bij verschillende waarden voor L

Als de frequentie stijgt tot de maximale frequentie waarbij de uitgangsspanning nog 90% van de spanning van de klokpulsen haalt, dan verandert de verhouding tussen vermogenverbruik van het schuifregister en de bootstrap stage. In tabel 5.7 is een vergelijking gemaakt tussen de verhoudingen. L is gelijk aan $2 \mu\text{m}$, de maximale frequentie is 11.8 MHz bij een voedingsspanning van 10 V. De bootstrap stage verbruikt meer vermogen dan het schuifregister. De frequentie van de klokken stijgt evenredig met de frequentie van de line driver, met als gevolg dat er meer vermogen verbruikt wordt door de kloklijnen. Zoals al eerder is vermeld, blijft het vermogenverbruik van het schuifregister hetzelfde.

Tabel 5.7: Verhouding in vermogenverbruik tussen het schuifregister en de bootstrap stage

Frequentie [MHz]	Totaal vermogenverbruik per lijn [mW]	Verhouding in vermogenverbruik (schuifregister/bootstrap)
0.5	113.9	46% / 54%
1	122.8	42% / 58%
5	145.1	36% / 64%
11.8	149.0	34% / 66%

6 Conclusie en discussie

6.1 Werking

De doelstelling van deze masterproef was het ontwerpen van een line driver, waarbij een dubbele schrijfpuls kon worden ingestuurd. Op geen enkel tijdstip mag er meer dan één uitgang actief zijn. Dit is gelukt en de werking is getoond in hoofdstuk 3.2. Met behulp van twee klokpulsen en vier voedingsbanen is dit mogelijk. Ten opzichte van het basisontwerp is er één extra voedingsbaan toegevoegd die een negatieve spanning heeft, om zo transistoren te gebruiken waarvan de drempelspanning negatief is.

6.2 Refresh rate

De maximale refresh rate in de ESL technologie is 22 kHz, in de SA technologie is dit 80 kHz. Door de aanpassing van de kanaallengte naar 2 μm en een aanpassing van de kanaalbreedte naar 975 μm van transistor T1 in de bootstrap stage, stijgt de maximale refresh rate tot 11.8 MHz. Dit kan gelijk gesteld worden met een frame rate van 256 Hz voor een FHD beeldscherm.

6.3 Vermogenverbruik

Het totale vermogenverbruik per lijn in de ESL technologie varieert tussen 17.5 mW en 43.8 mW bij een refresh rate van 5 kHz, afhankelijk van de voedingsspanningen. In de SA technologie dalen de voedingsspanningen en dus ook het vermogenverbruik. Dit varieert van 2.8 mW tot 19.4 mW per lijn. De verhouding tussen het vermogenverbruik van het schuifregister en het vermogenverbruik van de bootstrap stage is ongeveer 90/10. Bij een aanpassing van transistor T1 in de bootstrap stage verandert de verhouding naar 53/47.

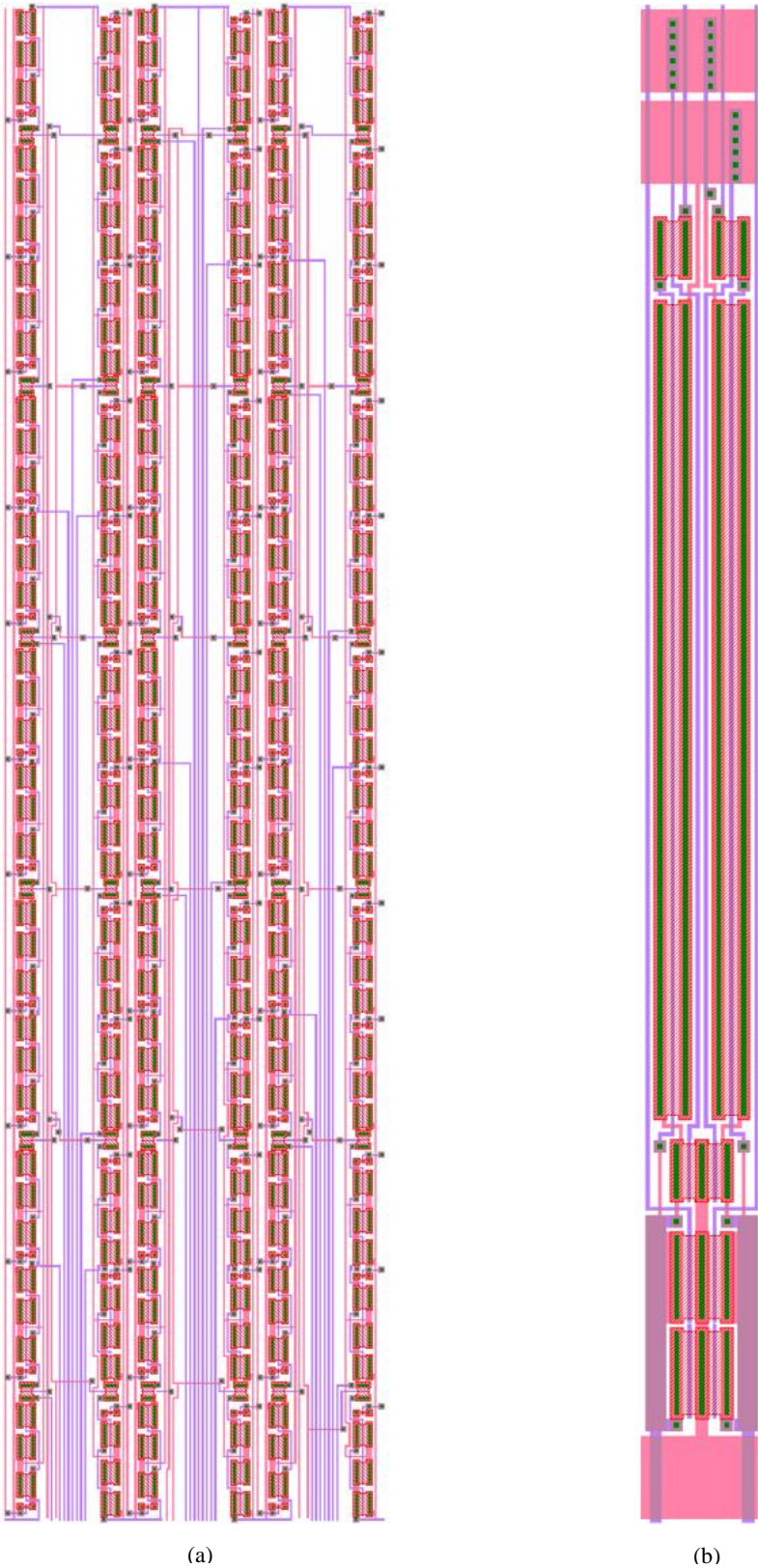
Een stijging van de drempelspanning geeft een daling van het vermogenverbruik. Een daling van de kanaallengte geeft een stijging van het vermogenverbruik. Het vermogenverbruik per lijn bij de maximale frequentie van 11.8 MHz is 149 mW. De verhouding bij deze frequentie is 34/66. Hoe hoger de frequentie, hoe meer vermogen de bootstrap stage verbruikt.

Het hoge vermogenverbruik is een probleem van dit ontwerp. Binnen imec lopen momenteel onderzoeken naar low-power topologieën om dit probleem te verhelpen.

6.4 Lay-out

De lay-out van het nieuwe ontwerp heeft een pitch van 270 μm . Dit komt overeen met een resolutie van 94 ppi. De breedte van de niet-actieve schermrand voor de line driver bedraagt 1.9 mm.

Mogelijke verbeteringen van de lay-out voor het schuifregister en de bootstrap stage zijn getoond in figuur 6.1. De pitch is $74\ \mu\text{m}$, wat overeenkomt met een resolutie van 343 ppi. Alle transistoren zijn onder elkaar geplaatst, waardoor de breedte van de niet-actieve schermrand stijgt tot 6.2 mm.



Figuur 6.1: Geoptimaliseerde lay-out (a) Schuifregister, (b) Bootstrap stage

Bibliografie

- [1] imec, “Imec”, *imec.be*, 3 september 2015. [Online] . Beschikbaar: http://www2.imec.be/be_nl/imec.html. [Geraadpleegd op 15 september 2015].
- [2] imec, “Geschiedenis”, *imec.be*, 3 september 2015. [Online]. Beschikbaar: http://www2.imec.be/be_nl/geschiedenis.html. [Geraadpleegd op 15 september 2015].
- [3] imec, “Infrastructuur”, *imec.be*, 3 september 2015. [Online]. Beschikbaar: http://www2.imec.be/be_nl/imec/infrastructuur.html. [Geraadpleegd op 15 september 2015].
- [4] Holst Centre, “Contact”, *holstcentre.com*, 23 december 2005. [Online]. Beschikbaar: <http://www.holstcentre.com/contact/>. [Geraadpleegd op 15 september 2015].
- [5] P. Delvaux. “*Ontwerp van een gatedriver voor flexibele AMOLED-beeldschermen*”; Ongepubliceerd eindwerk, Universiteit Hasselt, Campus Diepenbeek, 2014.
- [6] Jan Genoe, K. Obata, M. Aмеys, K. Myny, T. H. Ke, M. Nag, S. Steudel, S. Schols, J. Maas, A. Tripathi, J.-L. P. J. van der Steen, T. Ellis, G. H. Gelinck, and P. Heremans, “Integrated Line Driver for Digital Pulse-Width Modulation Driven AMOLED Displays on Flex,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 1, pp. 282–290, jan. 2015.
- [7] Jan Genoe, K. Obata, M. Aмеys, K. Myny, T.H. Ke, M. Nag, S. Steudel, S. Schols, J. Maas, A. Tripathi, J.-L van der Steen, T. Ellis, G. H. Gelinck, and P. Heremans, “Digital PWM-driven AMOLED display on flex reducing static power consumption,” *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, San Francisco, California, pp. 488–489, 2014.
- [8] Jan Genoe, “Digital Driving of Active Matrix Displays,” WO/2014/068017 A1, 9 mei 2014.
- [9] Jan Genoe, “Low power digital driving of active matrix displays,” WO2014080014 A1, 30 mei 2014.
- [10] Matthias Köfferlein, “KLayout: High Performance Layout Viewer And Editor”, *klayout.de*, 26 maart 2012. [Online]. Beschikbaar: <http://www.klayout.de/Klayout-0.21.16.pdf>. [Geraadpleegd op 18 september 2015].
- [11] S. Steudel, K. Myny, S. Schols, P. Vicca, S. Smout, A. Tripathi, B. van der Putten, J.-L. van der Steen, M. van Neer, F. Schatze, O. R. Hild, E. van Veenendaal, P. van Lieshout, M. van Mil, J. Genoe, G. Gelinck, and P. Heremans, “Design and realization of a flexible QQVGA AMOLED display with organic TFTs,” *Organic Electronics*, vol. 13, no. 9, pp. 1729-1735, 2012.
- [12] Manoj Nag, K. Obata, Y. Fukui, K. Myny, S. Schols, P. Vicca, T. H. Ke, S. Smout, M. Willegems, M. Aмеys, A. Bhoelokam, R. Muller, B. Cobb, A. Kumar, J.-L. van der Steen, T. Ellis, G. Gelinck, J. Genoe, P. Heremans, S. Steudel, “Flexible AMOLED Display and Gate-driver with Self-Aligned IGZO TFT on Plastic Foil,” *SID Symposium Digest of Technical Papers*, vol. 45, no. 1, pp. 248-251, juni 2014.

- [13] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Roomtemperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors.," *Nature*, vol. 432, no. 7016, pp. 488-492, 2004.
- [14] R. A. Street, "Thin-Film Transistors," *Advanced Materials*, vol. 21, pp. 2007-2022, mei 2009.
- [15] H. Marien, *Analog Building Blocks for Organic Smart Sensor Systems on Foil*. Phd thesis, KULeuven, 2012.
- [16] R. Chen, W. Zhou, M. Zhang, M. Wong, and H. S. Kwok, "Self-aligned top-gate InGaZno thin film transistors using SiO₂/Al₂O₃ stack gate dielectric," *Thin Solid Films*, vol. 548, no. 0, pp. 572-575, 2013.
- [17] Niko Münzenrieder, L. Petti, C Zysset, T. Kinkeldei, G. A. Salvatore, G. Tröster, "Flexible Self-Aligned Amorphous InGaZnO Thin-Film Transistors With Submicrometer Channel Length and a Transit Frequency of 135 MHz," *IEEE Transactions On Electron Devices*, vol. 60, no. 9, pp. 2815–2820, September 2013.
- [18] K. Myny, B. Cobb, J.-L. van der Steen, A. K. Tripathi, J. Genoe, G. Gelinck, P. Heremans, "Flexible Thin-Film NFC Tags Powered by Commercial USB Reader Device at 13.56MHz.," *2015 IEEE International Solid-State Circuits Conference*, pp. 294-295, Feb. 2015.
- [19] Hao Luo, Ping Mei, Carl P. Tausig, "Thin film transistor logic," US Patent 20080315918 A1, 20 juni 2007.
- [20] K. Myny, *Organic Digital Circuits By Technology Improvement And Robust Digital Design*. PhD thesis, Katholieke Universiteit Leuven, 2013.
- [21] Z. Wu, L. Duan, G. Yuan, C. Jiang, Y. Li, L. Yan, J. Cheng, G. Wang, and S. Jin, "An Integrated Gate Driver Circuit Employing Depletion-Mode IGZO TFTs," in *SID Symposium Digest of Technical Papers*, 2012, vol. 43, pp. 5–7.
- [22] T.-H. Hwang, S. Hong, W. Hong, W.-H. Cui, I.-S. Yang, O.-K. Kwon, C.-W. Byun, S.-H. K. Park, C.-S. Hwang, and K. I. Cho, "A Scan Driver Circuit Using Transparent Thin Film Transistors," *SID Symposium Digest of Technical Papers*, vol. 40, no. 1, p. 1136, 2009.
- [23] D. Geng, B. S. Kim, M. Mativenga, M. J. Seok, D. H. Kang, and J. Jang, "40 um-pitch IGZO TFT Gate Driver for High-resolution Rollable AMOLED," *SID Symposium Digest of Technical Papers*, vol. 44, no. 1, pp. 927–930, juni 2013.
- [24] Analog Devices, "Sample and Hold Amplifiers", *analog.com*, 10 augustus 2009. [Online]. Beschikbaar: <http://www.analog.com/media/cn/training-seminars/tutorials/MT-090.pdf>. [Geraadpleegd op 9 december 2015].
- [25] Intern document ESL_PLATE_9_0.
- [26] Paul R. Gray, Paul J Hurst, Stephen H. Lewis, Robert G. Meyer, *Analysis and Design of Analog Integrated Circuits*, Vijfde druk, New York: Wiley, 2009.
- [27] Intern document SA_DISP_DD3.3.
- [28] Ceramic Industry, "Material Properties Charts", *www.ceramicindustry.com*, [Online]. Beschikbaar: <http://www.ceramicindustry.com/ceramic-materials-properties-charts>. [Geraadpleegd op 12 oktober 2015].
- [29] Hewlett-Packard, "Shmoo Plot Shapes," *Hewlett-Packard Journal*, Subarticle 4a, pp. 1, augustus 1997.

Lijst van symbolen

ϵ	[F/m]	Permittiviteit
ϵ_0	[F/m]	Elektrische veldconstante
ϵ_r	[/]	Relatieve permittiviteit
A	[m ²]	Oppervlakte
C	[F]	Capaciteit
C _{load}	[F]	Lastcapaciteit
C _{par}	[F]	Parasitaire capaciteit
I _{DS}	[A]	Drain-source stroom
L	[m]	Kanaallengte
t _{ox}	[m]	Dikte van het oxide
V _t	[V]	Drempelspanning
W	[m]	Kanaalbreedte

Auteursrechtelijke overeenkomst

Ik/wij verlenen het wereldwijde auteursrecht voor de ingediende eindverhandeling:

Een line driver met dubbele schrijfpuls voor flexibele AMOLED-beeldschermen

Richting: **master in de industriële wetenschappen: elektronica-ICT**

Jaar: **2016**

in alle mogelijke mediaformaten, - bestaande en in de toekomst te ontwikkelen - , aan de Universiteit Hasselt.

Niet tegenstaand deze toekenning van het auteursrecht aan de Universiteit Hasselt behoud ik als auteur het recht om de eindverhandeling, - in zijn geheel of gedeeltelijk -, vrij te reproduceren, (her)publiceren of distribueren zonder de toelating te moeten verkrijgen van de Universiteit Hasselt.

Ik bevestig dat de eindverhandeling mijn origineel werk is, en dat ik het recht heb om de rechten te verlenen die in deze overeenkomst worden beschreven. Ik verklaar tevens dat de eindverhandeling, naar mijn weten, het auteursrecht van anderen niet overtreedt.

Ik verklaar tevens dat ik voor het materiaal in de eindverhandeling dat beschermd wordt door het auteursrecht, de nodige toelatingen heb verkregen zodat ik deze ook aan de Universiteit Hasselt kan overdragen en dat dit duidelijk in de tekst en inhoud van de eindverhandeling werd genotificeerd.

Universiteit Hasselt zal mij als auteur(s) van de eindverhandeling identificeren en zal geen wijzigingen aanbrengen aan de eindverhandeling, uitgezonderd deze toegelaten door deze overeenkomst.

Voor akkoord,

Van Boxel, Wesley

Datum: **14/01/2016**