Onderzoek naar RISC-V-architecturen op flexibele technologieën

Sam Scevenels

master IW Elektronica-ICT

Situering

De ontwikkeling van thin-film transistors (TFT) op flexibele substraten opende de deur naar meer applicaties dan displays. Toepassingen in het Internet-of-Things (IoT) en draagbare medische apparaten benutten de lagere kost en het lagere gewicht van deze technologie.

Een beperking van deze technologie is echter de afwezigheid van een p-type halfgeleider. Dit zorgt voor uitdagingen in het ontwerpen van elektronische schakelingen door de hoge lekstromen. Deze masterproef onderzoekt de impact van verschillende RISC-V-processorarchitecturen op een flexibel substraat.

Methode

Het programma Genus synthetiseert de lay-out van verschillende architecturen. De architecturen worden beoordeeld op volgende criteria:

- de oppervlakte die nodig is om de chip te realiseren;
- het stroomverbruik van de architectuur;
- de executietijd van een testprogramma.

De meting van de executietijd wordt berekend door het aantal nodige klokcycli te vermenigvuldigen met de laagste periode die haalbaar is volgens de synthese.

RV32

Als basis voor de metingen wordt er een standaard 32-bit RISC-V architectuur zonder pipelining gebruikt.

RV16

Voor de masterproef werd er een aangepaste 16-bit RISC-V architectuur ontwikkeld die enkel gebruik maakt van 16-bit instructies uit de compressed RISC-V extensie

SERV

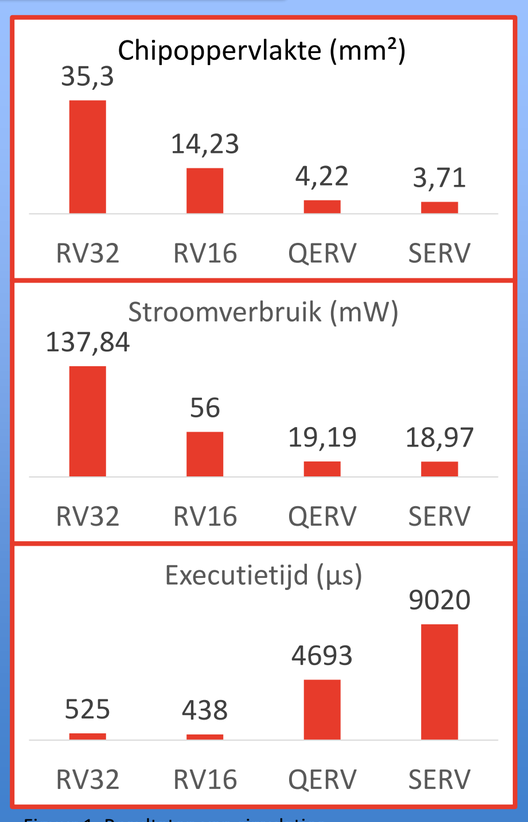
SERV is 1-bit seriële architectuur. De bits worden één voor één doorgegeven naar de arithmetic logic unit (ALU) waardoor deze minder groot en complex moet zijn.

QERV

QERV is een variant op de SERV-architectuur die vier bits per keer doorgeeft naar de ALU. Dit resulteert in een hogere snelheid maar ook in een hogere complexiteit.

Resultaten

In Figuur 1 zijn de resultaten van de simulaties te zien. De RV32 had 698 klokcycli nodig met een kloksnelheid van 1,33 Mhz. De RV16 had 875 cycli nodig maar met een behaalde kloksnelheid van 2 Mhz is de executietijd lager dan de RV32. De SERV- en QERV-architecturen hadden respectievelijk 36088 en 11516 cycli nodig met een kloksnelheid van 4 en 2,454 Mhz. Deze resultaten komen voort uit simulaties en zijn indicaties voor de verwachte verhoudingen van de prestaties.



Figuur 1. Resultaten van simulaties.

Conclusie

Uit de behaalde resultaten blijkt dat de standaard architectuur het minst geschikt is voor flexibele substraten. De 16-bit architectuur behaalt daarentegen een lagere oppervlakte en verbruik met zelfs een iets lage executietijd door de hogere klokfrequentie. De RV16 heeft echter wel een verminderde informatiegrootte met maar zestien bits en heeft aandacht nodig bij het schijven van software door het kleine aantal toegestane instructies. De SERV en QERV ondersteunen wel alle standaard RISC-V instructies en behalen ook een zeer kleine oppervlakte en verbruik. Dit resulteert echter wel in een grote executietijd doordat er meerdere cycli nodig zijn per instructie. De QERV architectuur is in dit opzicht efficiënter doordat er deels in parallel gewerkt wordt.

In conclusie is aan de hand van de toepassing het gebruik van een alternatieve RISC-V architectuur voordelig. Als een lage executietijd geen vereiste is, zijn de SERV en QERV architecturen zeer geschikt. Als er geen nood is aan 32-bit informatie, is de 16-bit een geschikte vervanger.

Promotoren / Copromotoren / Begeleiders

Prof. dr. ing. Myny Kris
Dr. ing. Vliegen Jo
ing. Nowicki Yari

De opleiding industrieel ingenieur is een gezamenlijke opleiding van UHasselt en KU Leuven